ESP32
硬件设计指南

Release master
乐鑫信息科技
2025 年 07 月 04 日

Table of contents

Table of contents i

1 本文档的最新版本 **3**
1.1 关于本文档 . . . 3
1.1.1 简介 . . . 3
1.1.2 请使用最新版本文档 . . . 3
1.2 产品概述 . . . 3
1.3 原理图设计 . . . 4
1.3.1 概述 . . . 4
1.3.2 电源 . . . 5
1.3.3 上电时序与复位 . . . 7
1.3.4 Flash 及 PSRAM . . . 8
1.3.5 时钟源 . . . 9
1.3.6 射频 . . . 11
1.3.7 UART . . . 11
1.3.8 SPI . . . 12
1.3.9 Strapping 管脚 . . . 12
1.3.10 GPIO . . . 13
1.3.11 ADC . . . 14
1.3.12 外置阻容 . . . 15
1.3.13 SDIO . . . 15
1.3.14 触摸传感器 . . . 16
1.3.15 以太网 MAC . . . 16
1.4 PCB 版图布局 . . . 16
1.4.1 基于芯片的版图设计通用要点 . . . 16
1.4.2 电源 . . . 17
1.4.3 晶振 . . . 19
1.4.4 射频 . . . 19
1.4.5 Flash 及 PSRAM . . . 22
1.4.6 外置阻容 . . . 22
1.4.7 UART . . . 22
1.4.8 基于模组的版图设计通用要点（模组在底板上的位置摆放） . . . 24
1.4.9 SDIO . . . 24
1.4.10 触摸传感器 . . . 25
1.4.11 版图设计常见问题 . . . 26
1.5 开发硬件介绍 . . . 27
1.5.1 ESP32 系列模组 . . . 27
1.5.2 ESP32 系列开发板 . . . 28
1.5.3 下载指导 . . . 28
1.6 相关文档和资源 . . . 28
1.7 词汇列表 . . . 28
1.8 修订历史 . . . 29
1.9 免责声明和版权公告 . . . 29

本文档是 ESP32 系列芯片的硬件设计指南。

原理图设计	PCB 版图布局	开发硬件介绍

Chapter 1

本文档的最新版本

请查看以下链接，以确保使用的是本文档的最新版本：https://docs.espressif.com/projects/esp-hardware-design-guidelines/zh_CN/latest/esp32/index.html

1.1 关于本文档

1.1.1 简介

《ESP 硬件设计指南》提供基于 ESP32 芯片的硬件设计的指导规范。这些规范将帮助您提升电路和 PCB 版图设计的准确性，以实现产品的最佳性能。本文的目标读者是硬件设计师和应用开发人员。

本文档的撰写基于您对 ESP32 有一定的了解。如果您对 ESP32 芯片不熟悉，建议您参考 ESP32 芯片规格书 以便更好地理解本文内容。

1.1.2 请使用最新版本文档

点击链接确保您使用的是最新版本的文档：https://docs.espressif.com/projects/esp-hardware-design-guidelines/zh_CN/latest/esp32/index.html

1.2 产品概述

ESP32 系列芯片支持以下功能：

- 2.4 GHz Wi-Fi
- 蓝牙 ®
- 高性能 Xtensa® 32 位 LX6 双核处理器
- 超低功耗协处理器
- 多种外设

ESP32 采用低功耗 40 纳米工艺，具有超高的射频性能、稳定性、通用性和可靠性，以及超低的功耗，满足不同的功耗需求，适用于各种应用场景。ESP32 的典型应用包括：

- 智能家居
- 工业自动化
- 医疗保健

- 消费电子产品
- 智慧农业
- POS 机
- 服务机器人
- 音频设备
- 通用低功耗 IoT 传感器集线器
- 通用低功耗 IoT 数据记录器
- 摄像头视频流传输
- 语音识别
- 图像识别
- SDIO Wi-Fi + 蓝牙网卡
- 触摸和接近感应

更多关于 ESP32 系列芯片说明请参考 ESP32 系列芯片技术规格书。

备注： 除非特别说明，文中使用的“ESP32”指的是 ESP32 系列芯片，而非单一型号。

1.3 原理图设计

1.3.1 概述

ESP32 系列芯片的核心电路只需要 20 个左右的电阻电容电感和 1 个无源晶振，以及 1 个 SPI flash。为了能够更好地保证 ESP32 系列芯片的工作性能，本章将详细介绍 ESP32 系列芯片的原理图设计。

下图所示为 ESP32 的核心电路参考设计，您可以将它作为您的原理图设计的基础。

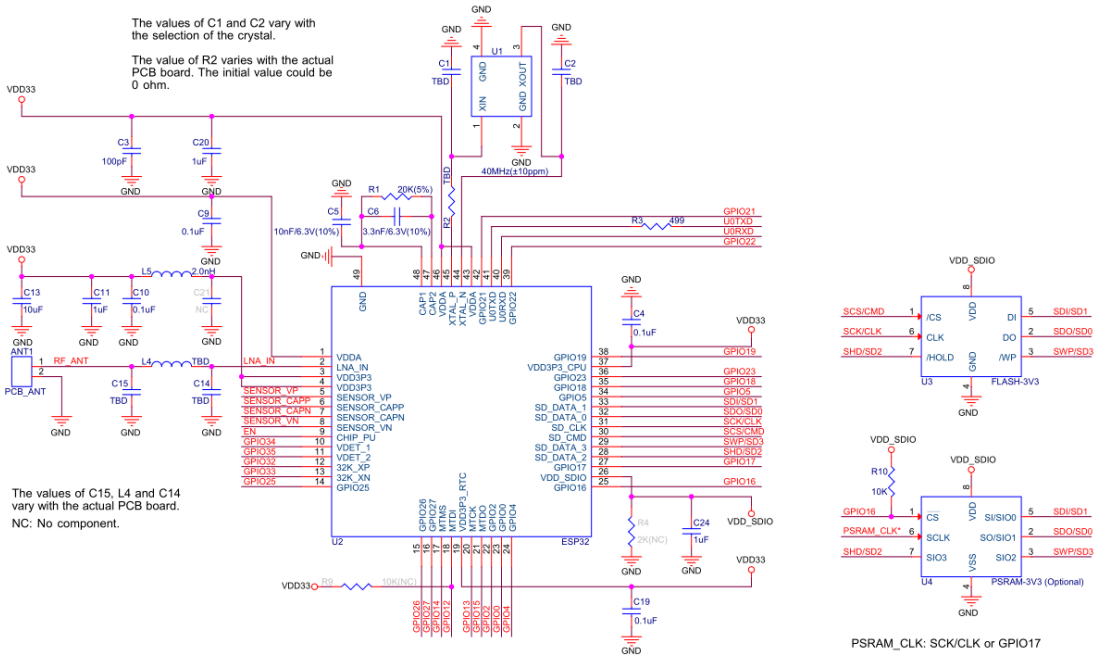

图 1: ESP32 系列芯片参考设计原理图

注意图*ESP32 系列芯片参考设计原理图* 显示的是四线、3.3 V、封装外 flash/PSRAM 的连接方式。PSRAM 的 SCLK 可以和 flash 共用时钟线即 SD_CLK 或 GPIO17。

- 当使用四线、1.8 V、封装外 flash/PSRAM 时，R9 改为上件。
- 当使用 ESP32-D0WDR2-V3（内封四线、3.3 V PSRAM）时，连接外部 flash 的方式如图*ESP32 系列芯片参考设计原理图* 所示。
- 当使用 ESP32-U4WDH（内封四线、3.3 V flash）时，内部连接 flash 的方式如图*ESP32 内封四线 3.3 V Flash 核心电路图* 所示。

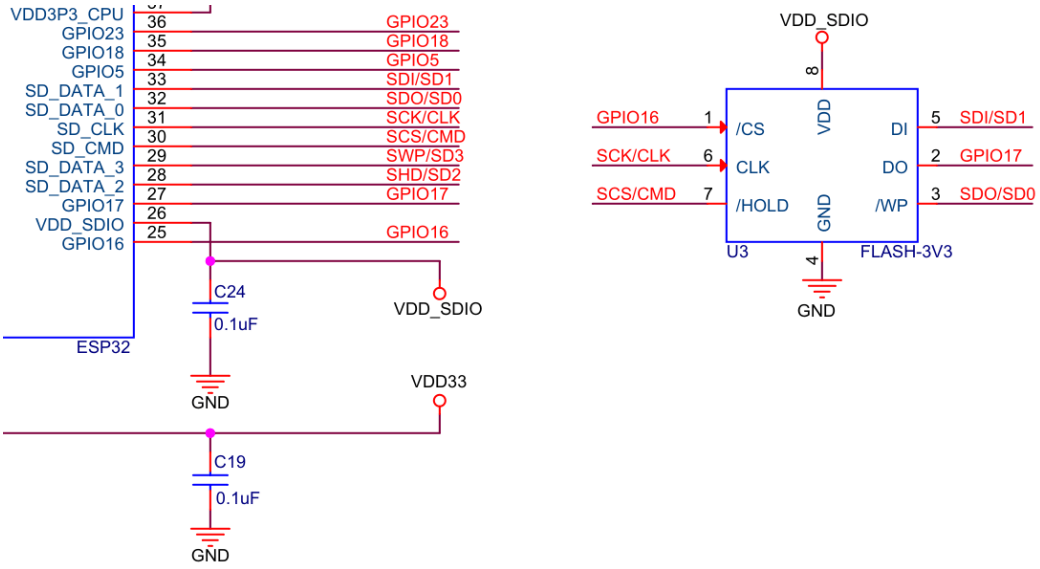

图 2: ESP32 内封四线 3.3 V Flash 核心电路图

ESP32 系列芯片的核心电路图的设计有以下重要组成部分：

- 电源
- 上电时序与复位
- *Flash* 及 *PSRAM*
- 时钟源
- 射频
- *UART*
- *Strapping* 管脚
- *GPIO*
- *ADC*
- 外置阻容
- *SDIO*
- 触摸传感器

下文将分别对这些部分进行描述。

1.3.2 电源

电源电路设计的通用要点有：

- 使用单电源供电时，建议供给 ESP32 的电源电压为 3.3 V，最大输出电流至少 500 mA。
- 建议在各个总电源入口处添加 ESD 保护器件。

电源管理如 ESP32 系列芯片技术规格书 > 图 *ESP32 电源管理*所示。

有关电源管脚的更多信息，请查看 ESP32 系列芯片技术规格书 > 章节 电源。

数字电源

ESP32 的管脚 37 VDD3P3_CPU 为数字电源管脚，工作电压范围为 1.8 V ~ 3.6 V。建议在电路中靠近数字电源管脚处添加 0.1 µF 电容。

管脚 VDD_SDIO 可配置输出 1.8 V 或 3.3 V（默认）给外部电路使用。

- 当 VDD_SDIO 处于 1.8 V 模式时，由 ESP32 内部的 LDO 供电，能提供的最大电流为 40 mA，输出电压范围为 1.65 V ~ 2.0 V。建议在 VDD_SDIO 管脚处添加 2 kΩ 对地电阻及 4.7 µF 对地电容，如图*VDD_SDIO 电源管脚电路 (1.8 V)* 所示。
- 当 VDD_SDIO 处于 3.3 V 模式时，由 VDD3P3_RTC 通过芯片内部的约 6 Ω 电阻后供电。因此 VDD_SDIO 相对 VDD3P3_RTC 会有一定电压降。建议在 VDD_SDIO 靠近管脚处添加 1 µF 滤波电容，如图*VDD_SDIO 电源管脚电路 (3.3 V)* 所示。

注意： 当使用 VDD_SDIO 给封装内或封装外的 3.3 V flash/PSRAM 供电时，需要满足 flash/PSRAM 的工作电压要求，一般应保证电压在 3.0 V 以上。

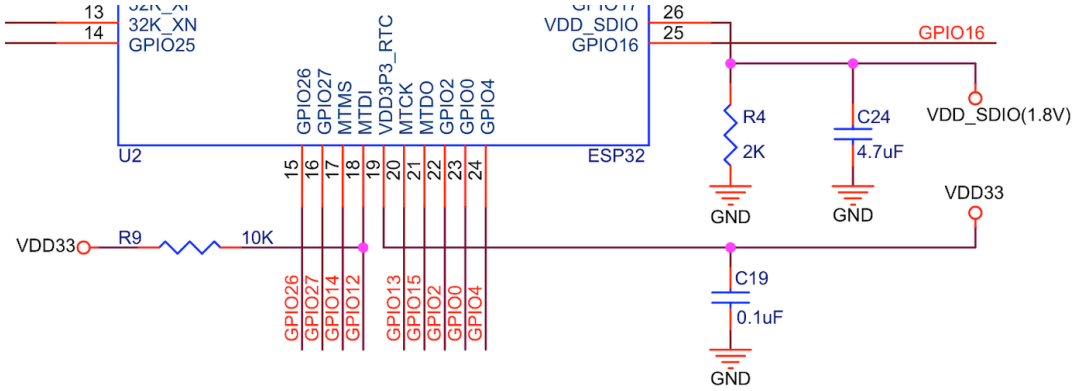

图 3: VDD_SDIO 电源管脚电路 (1.8 V)

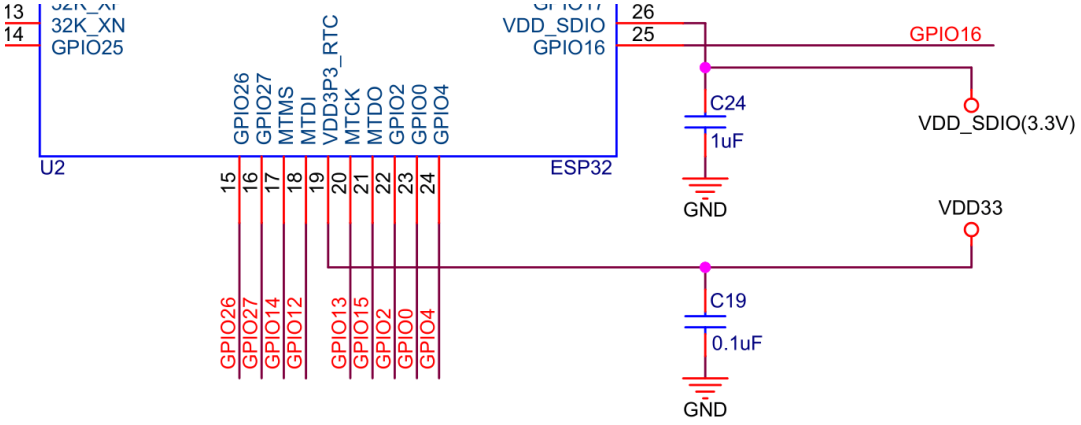

图 4: VDD_SDIO 电源管脚电路 (3.3 V)

VDD_SDIO 也可以连接到外部电源，由外部电源输入供电，如图*VDD_SDIO 电源管脚电路（外部电源供电）* 所示。

模拟电源

ESP32 的 VDDA 和 VDD3P3 管脚为模拟电源管脚，工作电压范围为 2.3 V ~ 3.6 V。

对于 VDD3P3，当 ESP32 工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在 VDD3P3 的电源走线上增加一个 10 µF 电容，该电容可与 1 µF 电容搭配使用。

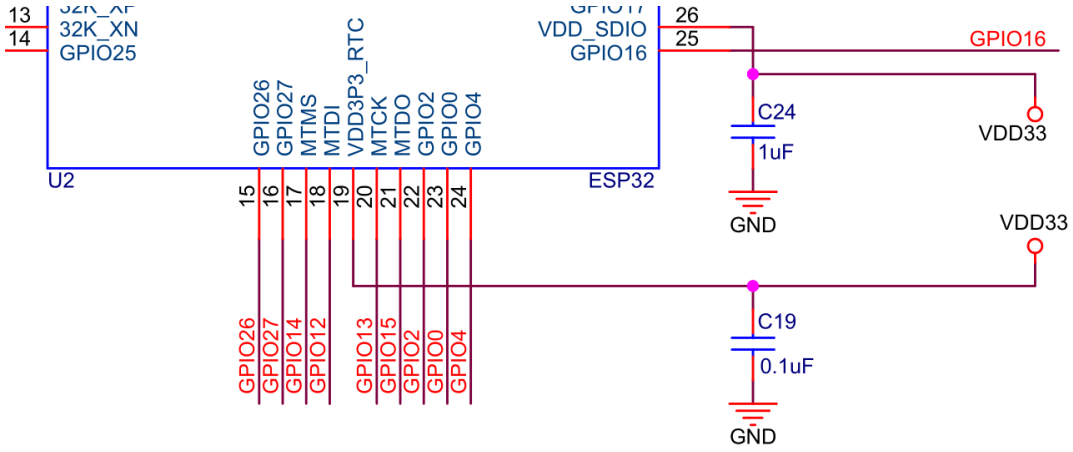

图 5: VDD_SDIO 电源管脚电路（外部电源供电）

另外，在靠近 VDD3P3 处还需添加 LC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。

RTC 电源

ESP32 的 VDD3P3_RTC 管脚为 RTC 电源管脚，建议在电路中靠近该电源管脚处添加 0.1 µF 去耦电容。

请注意该电源不可以作为备用电源单独供电。

RTC 电源电路图如图*ESP32 系列芯片 RTC 电源电路图* 所示。

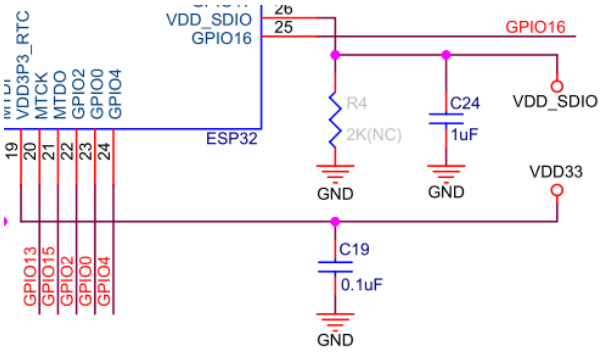

图 6: ESP32 系列芯片 RTC 电源电路图

1.3.3 上电时序与复位

ESP32 的 CHIP_PU 管脚为高电平时使能芯片，为低电平时复位芯片。

当 ESP32 使用 3.3 V 系统电源供电时，电源轨需要一些时间才能稳定，之后才能拉高 CHIP_PU，激活芯片。因此，CHIP_PU 管脚上电要晚于系统电源 3.3 V 上电。

复位芯片时，复位电压 V_{IL_nRST} 范围应为 (–0.3 ~ 0.25 × VDD) V。为防止外界干扰引起重启，CHIP_PU 管脚引线需尽量短一些。

图*ESP32 系列芯片上电和复位时序图* 为 ESP32 系列芯片的上电、复位时序图。

上电和复位时序参数说明见表*上电和复位时序参数说明*。

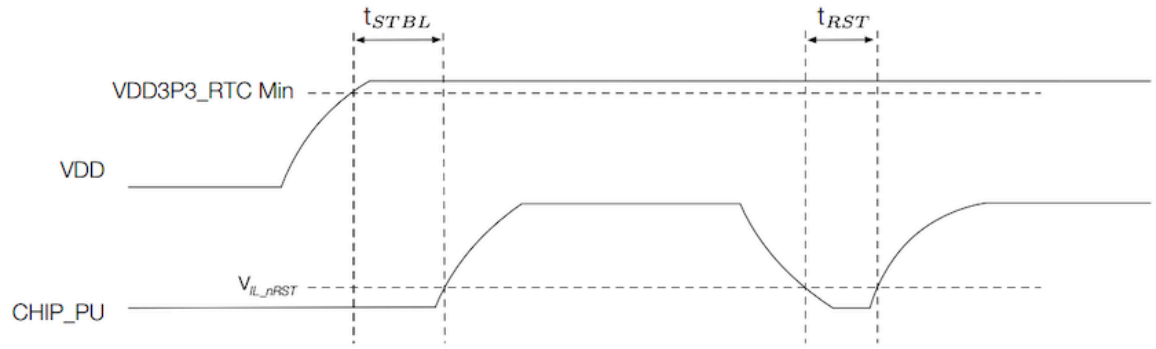

图 7: ESP32 系列芯片上电和复位时序图

表 1: 上电和复位时序参数说明

参数	说明	最小值 (µs)
t_{STBL}	CHIP_PU 管脚上电晚于电源管脚上电的延时时间	50
t_{RST}	CHIP_PU 电平低于 V_{IL_nRST} 从而复位芯片的时间	50

注意:

- CHIP_PU 管脚不可浮空。
- 为确保芯片上电和复位时序正常，一般采用的方式是在 CHIP_PU 管脚处增加 RC 延迟电路。RC 通常建议为 R = 10 kΩ，C = 1 µF，但具体数值仍需根据实际的电源特性配合芯片的上电、复位时序进行调整。
- 如果应用中存在以下场景：
  - 电源缓慢上升或下降，例如电池充电；
  - 需要频繁上下电的操作；
  - 供电电源不稳定，例如光伏发电。

  此时，仅仅通过 RC 电路不一定能满足时序要求，有概率会导致芯片无法进入正常的工作模式。此时，需要增加一些额外的电路设计，比如：
  - 增加复位芯片或者看门狗芯片，通常阈值为 3.0 V 左右；
  - 通过按键或主控实现复位等。

1.3.4 Flash 及 PSRAM

ESP32 系列芯片需配合封装内或封装外 flash 一起使用，用于存储应用的固件和数据。封装内 PSRAM 和封装外 PSRAM 非必需。

封装内 Flash 及 PSRAM

下面的表格列出了 ESP32 与封装内 flash/PSRAM 的管脚对应关系。请注意这些芯片管脚最多连接一个 flash 和一个 PSRAM，也即当封装内仅有 flash 时，被 flash 占用的管脚只能再连接一个 PSRAM，不能用于其他功能；封装内仅有 PSRAM 时，被 PSRAM 占用的管脚只能再连接一个 flash；封装内有 flash 和 PSRAM 时，被占用的管脚不能再连接 flash 或 PSRAM。

表 2: 芯片与封装内 Flash 的管脚对应关系

ESP32-U4WDH	封装内 Flash (4 MB)
SD_DATA_1	IO0/DI
GPIO17	IO1/DO
SD_DATA_0	IO2/WP#
SD_CMD	IO3/HOLD#
SD_CLK	CLK
GPIO16	CS#
GND	VSS
VDD_SDIO	VDD

表 3: 芯片与封装内 PSRAM 的管脚对应关系

ESP32-D0WDR2-V3	封装内 PSRAM (2 MB)
SD_DATA_1	SIO0/SI
SD_DATA_0	SIO1/SO
SD_DATA_3	SIO2
SD_DATA_2	SIO3
SD_CLK	SCLK
GPIO16	CE#
GND	VSS
VDD_SDIO	VDD

封装外 Flash 及 PSRAM

为了减少软件适配的风险，请使用乐鑫官方适配过的 flash 和 PSRAM 型号，具体选型请咨询商务或者技术团队。如果使用 VDD_SDIO 输出电压供电，设计时请注意需根据设置的 VDD_SDIO 模式 (1.8 V/3.3 V) 选择合适的封装外 flash/PSRAM。另外，建议 SPI 通信线上预留 0 Ω 串联电阻，以便在需要时进行灵活调整，实现降低驱动电流、减小对射频的干扰、调节时序、提升抗干扰能力等功能。

1.3.5 时钟源

ESP32 外部可以有两个时钟源：

- 外置主晶振时钟源（必选）
- *RTC* 时钟源（可选）

外置主晶振时钟源（必选）

目前 ESP32 系列芯片固件仅支持 40 MHz 晶振。

ESP32 的无源晶振部分电路如图*ESP32 系列芯片无源晶振电路图*。注意，选用的无源晶振自身精度需在 ±10 ppm。

XTAL_P 时钟走线上请放置一个串联电感，初始建议使用 24 nH，用来减弱晶振高频谐波对射频性能的影响，最终值需要通过测试后确认。

外部匹配电容 C1 和 C2 的初始值可参考以下公式来决定：

$$C_L = \frac{C1 \times C2}{C1 + C2} + C_{stray}$$

其中 C_L（负载电容）的值可查看所选择晶振的规格书，C_{stray} 的值为 PCB 的寄生电容。C1 和 C2 的最终值需要通过对系统测试后进行调节确定。调试方法如下：

1. 通过 认证测试工具，选择 TX tone 模式。
2. 使用综测仪或者频谱仪查看 2.4 GHz 信号，解调得到实际频偏。

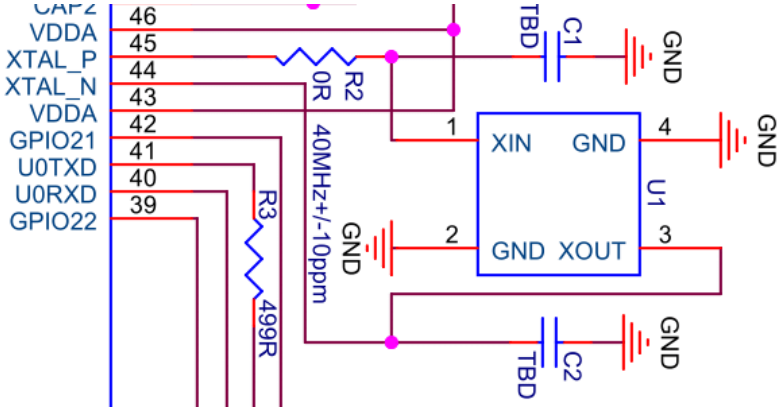

图 8: ESP32 系列芯片无源晶振电路图

3. 通过调整外置负载电容，把频偏调整到 ±10 ppm（建议）以内。

- 当中心频率偏正时，说明等效负载电容偏小，需要增加外置负载电容。
- 当中心频率偏负时，说明等效负载电容偏大，需要减小外置负载电容。
- 通常两个外置负载电容相等，在特殊情况下，也可以有略微差异。

备注:

- 尽管 ESP32 内部带有自校准功能，但是自身频偏过大（例如大于 ±10 ppm）、工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。
- 建议晶振的幅值大于 500 mV。
- 如果出现功能性的 Wi-Fi 或蓝牙无法连接，排除软件原因后，可以采用上文中的方法，通过调节晶振的电容来保证频偏满足要求。

RTC 时钟源（可选）

ESP32 支持外置 32.768 kHz 的无源晶振作为 RTC 时钟。使用外部 RTC 时钟源是为了使时间更准确，从而降低平均功耗，但对于功能没有任何影响。

外置 32.768 kHz 无源晶振的电路如图*ESP32 系列芯片外置 32.768 kHz 无源晶振电路图* 所示。

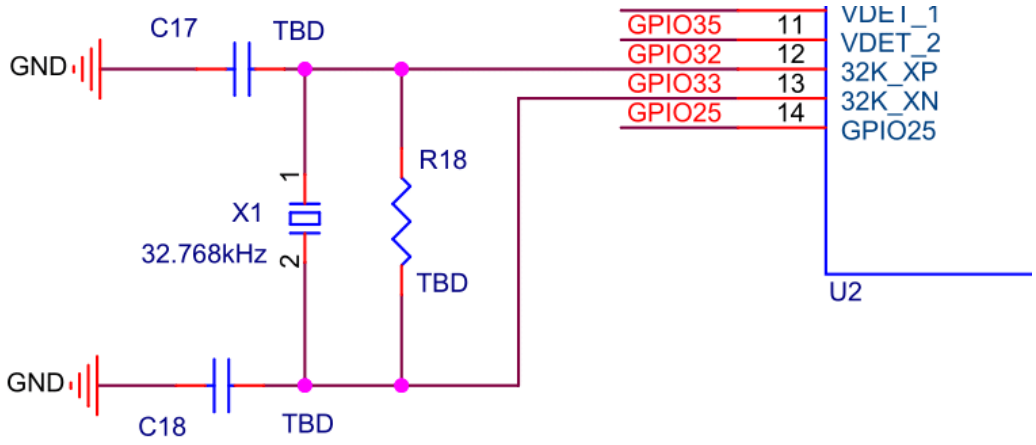

图 9: ESP32 系列芯片外置 32.768 kHz 无源晶振电路图

请注意 32.768 kHz 晶振选择要求：

- 等效内阻 (ESR) ≤ 70 kΩ。

- 两端负载电容值根据晶振的规格要求进行配置。

并联电阻 R 用于偏置晶振电路，电阻值要求 5 MΩ < R ≤ 10 MΩ。

使用芯片版本 v1.0 或 v1.1 时，不建议使用 32.768 kHz 晶振。使用芯片版本 v3.0 及以上时，可以使用 32.768 kHz 晶振，此时并联电阻 R 必须上件。

如果不需要该 RTC 时钟源，则 32.768 kHz 晶振的管脚也可配置为通用 GPIO 口使用。

1.3.6 射频

射频电路

ESP32 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及其匹配电路。各部分电路应满足以下设计规范：

- PCB 板射频走线：需进行 50 Ω 阻抗控制。
- 芯片匹配电路：请尽量靠近芯片放置，优先采用 CLC 结构。
  - CLC 结构主要用于阻抗匹配及谐波抑制，空间允许的情况下可以再加一组 LC。
  - 芯片匹配电路如图*ESP32 系列芯片射频匹配电路图* 所示。
- 天线及其匹配电路：为保证辐射性能，建议天线的输入阻抗为 50 Ω 左右。为保险起见，推荐在靠近天线位置增加一组 CLC 匹配电路，用于调节天线的输入阻抗。如果经过仿真可以确保天线阻抗点为 50 Ω 左右，并且空间较小，则可以不加天线端的匹配电路。

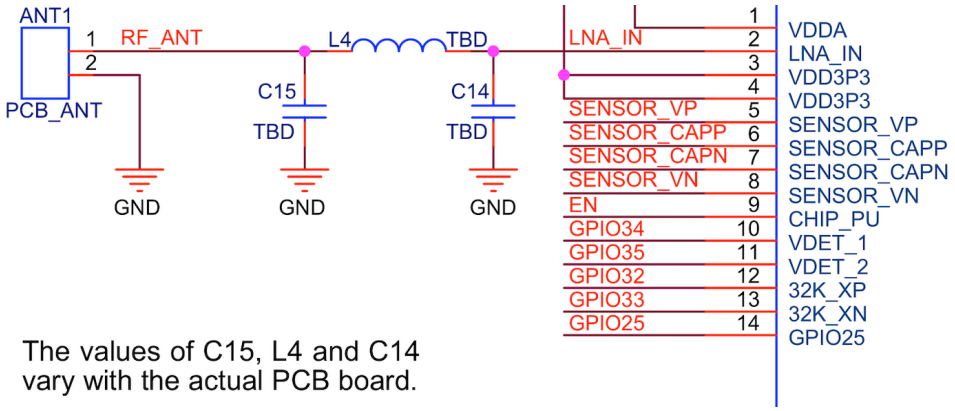

图 10: ESP32 系列芯片射频匹配电路图

射频调试

射频匹配网络的参数值和 PCB 板有关，不要直接使用模组的匹配值，须按照下述射频调试进行确认。

图*ESP32 射频调试示意图* 展示了射频调试的大概过程。

匹配网络的器件参数初始值可以使用 0 Ω。推荐将上图中的 S11 参数设置为 25+j0，中心频点为 2442 MHz。

备注： 如果不需要使用射频功能，射频管脚可以悬空。

1.3.7 UART

UART0 通常作为下载和 log 打印的串口。关于如何使用 UART0 进行下载，请参考章节下载指导。U0TXD 线上建议串联 499 Ω 电阻用于抑制谐波。

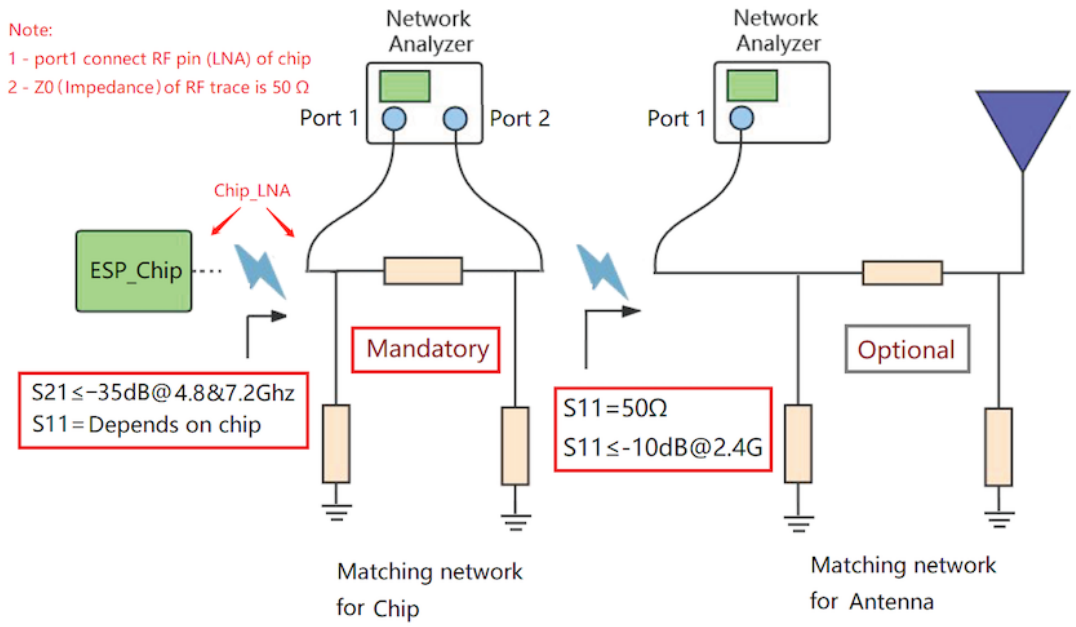

图 11: ESP32 射频调试示意图

推荐使用其他 UART 作为通信的串口，同样在 TX 线上建议预留串联电阻用于抑制谐波。

请注意使用 AT 固件时，固件里配置了 UART 的 GPIO，可以参考 硬件连接，建议使用默认配置。

1.3.8 SPI

在使用 SPI 功能时，为了提高 EMC 性能，请在 SPI_CLK 线上添加串联电阻（或磁珠）以及对地电容。如果空间允许，建议在其他 SPI 线上也添加串联电阻和对地电容。另外，请确保 RC/LC 器件靠近芯片或模组的管脚放置。

1.3.9 Strapping 管脚

芯片每次上电或复位时，都需要一些初始配置参数，如加载芯片的启动模式等。这些参数通过 strapping 管脚控制。复位放开后，strapping 管脚和普通 IO 管脚功能相同。

GPIO、GPIO2、GPIO5、MTDI 和 MTDO 为 strapping 管脚。

所有的 strapping 管脚信息，可参考 ESP32 系列芯片技术规格书 > 章节 *启动配置项*。

下面主要介绍和启动模式有关的 strapping 管脚信息。

芯片复位释放后，GPIO0 和 GPIO2 共同决定启动模式，详见表*芯片启动模式控制*。

表 4: 芯片启动模式控制

启动模式	GPIO0	GPIO2
默认配置	1	0
SPI Boot	1	任意值
Joint Download Boot[1]	0	0

[1] Joint Download Boot 支持下列几种下载方式：
- UART Download Boot
- SDIO Download Boot

Strapping 管脚的时序参数包括 建立时间和 保持时间。更多信息，详见图*Strapping 管脚的时序参数图* 和表*Strapping 管脚的时序参数说明*。

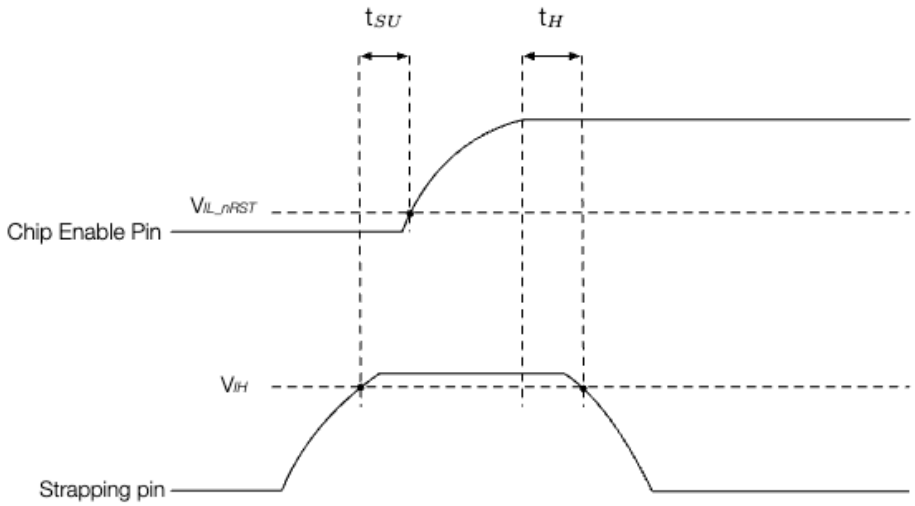

图 12: Strapping 管脚的时序参数图

表 5: Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
t_{H}	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

注意:

- 建议在 GPIO0 管脚处预留上拉电阻。
- 不要在 GPIO0 管脚处添加较大的电容，可能会导致进入下载模式。

1.3.10 GPIO

ESP32 系列芯片通过 IO MUX 表格或者 GPIO 交换矩阵来配置 GPIO。IO MUX 是默认的外设管脚配置（详见 ESP32 系列芯片技术规格书 > 附录 *ESP32 管脚总览*），GPIO 交换矩阵用于将可以配置的外设信号传输至 GPIO 管脚。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考 ESP32 技术参考手册 > 章节 *IO MUX 和 GPIO 交换矩阵*。

部分外设的 GPIO 管脚是固定的，部分是可以任意配置的，具体信息请参考 ESP32 系列芯片技术规格书 > 章节 外设。

使用 GPIO 时，请注意：

- Strapping 管脚的上电状态。
- 请注意 GPIO 复位后的默认配置，详见下表。建议对处于高阻态的管脚配置上拉或下拉，或在软件初始化时开启管脚自带的上下拉，以避免不必要的耗电。
- 避免使用 flash/PSRAM 占用的管脚。

表 6: IO MUX 管脚功能

GPIO	管脚名称	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	复位
0	GPIO0	GPIO0	CLK_OUT1	GPIO0	–	–	EMAC_TX_CLK	3
1	U0TXD	U0TXD	CLK_OUT3	GPIO1	–	–	EMAC_RXD2	3
2	GPIO2	GPIO2	HSPIWP	GPIO2	HS2_DATA0	SD_DATA0		2
3	U0RXD	U0RXD	CLK_OUT2	GPIO3	–	–	–	3
4	GPIO4	GPIO4	HSPIHD	GPIO4	HS2_DATA1	SD_DATA1	EMAC_TX_ER	2
5	GPIO5	GPIO5	VSPICS0	GPIO5	HS1_DATA6		EMAC_RX_CLK	3
6	SD_CLK	SD_CLK	SPI-CLK	GPIO6	HS1_CLK	U1CTS	–	3
7	SD_DATA0	SD_DATA0	SPIQ	GPIO7	HS1_DATA7	U2RTS	–	3
8	SD_DATA1	SD_DATA1	SPID	GPIO8	HS1_DATA4	U2CTS	–	3
9	SD_DATA2	SD_DATA2	SPIHD	GPIO9	HS1_DATA5	U1RXD	–	3
10	SD_DATA3	SD_DATA3	SPIWP	GPIO10	HS1_DATA3	U1TXD	–	3
11	SD_CMD	SD_CMD	SPICS0	GPIO11	HS1_CMD	U1RTS	–	3
12	MTDI	MTDI	HSPIQ	GPIO12	HS2_DATA2	SD_DATA2	EMAC_TXD3	2
13	MTCK	MTCK	HSPID	GPIO13	HS2_DATA3	SD_DATA3	EMAC_RX_ER	2
14	MTMS	MTMS	HSPI-CLK	GPIO14	HS2_CLK	SD_CLK	EMAC_TXD2	3
15	MTDO	MTDO	HSPICS0	GPIO15	HS2_CMD	SD_CMD	EMAC_RXD3	3
16	GPIO16	GPIO16	–	GPIO16	HS1_DATA4	U2RXD	EMAC_CLK_OUT	
17	GPIO17	GPIO17	–	GPIO17	HS1_DATA5	U2TXD	EMAC_CLK_180	
18	GPIO18	GPIO18	VSPI-CLK	GPIO18	HS1_DATA7		–	1
19	GPIO19	GPIO19	VSPIQ	GPIO19	U0CTS	–	EMAC_TXD0	1
21	GPIO21	GPIO21	VSPIHD	GPIO21	–	–	EMAC_TX_EN	1
22	GPIO22	GPIO22	VSPIWP	GPIO22	U0RTS	–	EMAC_TXD1	1
23	GPIO23	GPIO23	VSPID	GPIO23	HS1_STROBE		–	1
25	GPIO25	GPIO25	–	GPIO25	–	–	EMAC_RXD0	0
26	GPIO26	GPIO26	–	GPIO26	–	–	EMAC_RXD1	0
27	GPIO27	GPIO27	–	GPIO27	–	–	EMAC_RX_DV	0
32	32K_XP	GPIO32	–	GPIO32	–	–	–	0
33	32K_XN	GPIO33	–	GPIO33	–	–	–	0
34	VDET_1	GPIO34	–	GPIO34	–	–	–	0
35	VDET_2	GPIO35	–	GPIO35	–	–	–	0
36	SENSOR_VP	GPIO36	–	GPIO36	–	–	–	0
37	SENSOR_CAPP	GPIO37	–	GPIO37	–	–	–	0
38	SENSOR_CAPN	GPIO38	–	GPIO38	–	–	–	0
39	SENSOR_VN	GPIO39	–	GPIO39	–	–	–	0

复位：

- 0: IE=0 (输入关闭)
- 1: IE=1 (输入使能)
- 2: IE=1, WPD=1 (输入使能，内部弱下拉电阻使能)
- 3: IE=1, WPU=1 (输入使能，内部弱上拉电阻使能)

1.3.11 ADC

使用 ADC 功能时，请靠近管脚添加 0.1 µF 的对地滤波电容，精度会更准确一些。

当一些 RTC 外设（SAR ADC1 或 SAR ADC2 或 AMP）的电源打开时，SENSOR_VP 及 SENSOR_VN 的数字输入会被拉低约 80 ns。因此建议将 SENSOR_VP 及 SENSOR_VN 作为 ADC 使用。

如果设计中使用了 SENSOR_VP 及 SENSOR_VN 作为 GPIO，且同时使用了其他管脚用作 ADC，软件上应忽略该毛刺，或者硬件上对 SENSOR_VP 和 SENSOR_VN 采用高有效的方式。

目前 ADC2 不支持与 Wi-Fi 同时使用，优先推荐使用 ADC1。

ADC 经硬件校准和 软件校准 后的结果如以下列表所示。如需更高的精度，可选用其他方法自行校准。

- 当 ATTEN=0，有效测量范围为 100 ~ 950 mV 时，总误差为 ±23 mV。
- 当 ATTEN=1，有效测量范围为 100 ~ 1250 mV 时，总误差为 ±30 mV。
- 当 ATTEN=2，有效测量范围为 150 ~ 1750 mV 时，总误差为 ±40 mV。
- 当 ATTEN=3，有效测量范围为 150 ~ 2450 mV 时，总误差为 ±60 mV。

1.3.12 外置阻容

ESP32 的管脚 47 CAP2 和管脚 48 CAP1 的连接电路见图*ESP32 外置电容电路图*。

CAP1 所连的 C5 (10 nF) 是保证 ESP32 正常工作的必要器件，不能移除，且精度应在 10% 以内。

CAP1 与 CAP2 之间的 RC 电路在特定条件下可以取消。这部分电路用于在 Deep-sleep 模式下缩短芯片内部电压降（从 1.1 V 降到 0.7 V）的时间，以将功耗降至最低。移除这部分电路会导致电压降的时间变长，功耗增加。如果应用场景中不需要 Deep-sleep 模式或者对于功耗的要求不高，则可以移除这部分电路。

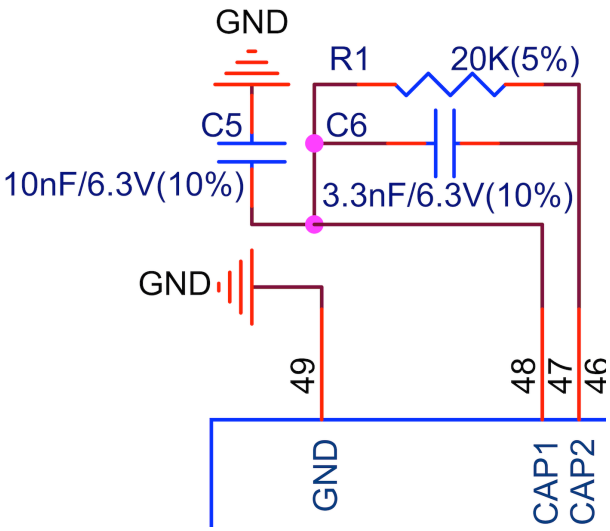

图 13: ESP32 外置电容电路图

1.3.13 SDIO

对于 SDIO 主机/从机控制器，ESP32 共有两组 slot 的 GPIO 可供使用，由于 slot0 中的 GPIO 默认连接了 flash，请按照下表*SDIO 管脚分配* 中 slot1 的方式连接 GPIO 和信号线。

表 7: SDIO 管脚分配

	CMD	CLK	DAT0	DAT1	DAT2	DAT3	Note
Slot0	GPIO11	GPIO6	GPIO7	GPIO8	GPIO9	GPIO10	默认连接 flash，不建议用作它用。
Slot1	GPIO15	GPIO14	GPIO2	GPIO4	GPIO12	GPIO13	和 JTAG、Touch 、EMAC、strapping 功能复用，使用时请注意。

按照 slot1 的方式连接时还需注意：

- 当 ESP32 作为 SDIO 主机工作时，请在使用的管脚上添加上拉，未使用的管脚可以用作它用。
- 当 ESP32 作为 SDIO 从机工作时，请在所有管脚上都添加上拉，无论这些管脚使用或未使用；未使用的管脚不可以用作它用。

更多关于 SDIO 的配置，请参阅 API 参考。

1.3.14 触摸传感器

使用 TOUCH 功能时，建议靠近芯片侧预留串联电阻，用于减小线上的耦合噪声和干扰，也可加强 ESD 保护。该阻值建议 470 Ω 到 2 kΩ，推荐 510 Ω。具体值还需根据产品实际测试效果而定。

1.3.15 以太网 MAC

ESP32 为以太网通信提供了一个符合 IEEE-802.3-2008 标准的媒体访问控制器 (MAC) 接口，当前 ESP32-Ethernet-Kit 开发板方案只支持 RMII 接口，接口定义和 GPIO 的对应如下：

表 8: Ethernet MAC

管脚名称	功能 6	RMII (int_osc)	RMII (ext_osc)
GPIO0	EMAC_TX_CLK	CLK_OUT(O)	EXT_OSC_CLK(I)
GPIO21	EMAC_TX_EN	TX_EN(O)	TX_EN(O)
GPIO19	EMAC_TXD0	TXD[0](O)	TXD[0](O)
GPIO22	EMAC_TXD1	TXD[1](O)	TXD[1](O)
GPIO27	EMAC_RX_DV	CRS_DV(I)	CRS_DV(I)
GPIO25	EMAC_RXD0	RXD[0](I)	RXD[0](I)
GPIO26	EMAC_RXD1	RXD[1](I)	RXD[1](I)
GPIO16	EMAC_CLK_OUT	CLK_OUT(O)	–
GPIO17	EMAC_CLK_OUT_180	CLK_OUT_180(O)	–
任意 GPIO	–	MDC(O)	MDC(O)
任意 GPIO	–	MDIO(IO)	MDIO(IO)

对于以太网方案，推荐使用 GPIO0 作为时钟输入。请注意，GPIO0 是一个 strapping 管脚，上电时如果受到时钟信号的影响，可能会进入下载模式。因此，需在 PHY 上电时避免输出时钟。我们的开发板设计通过使用 GPIO 控制 PHY 的复位管脚，确保上电时没有时钟输出。但并非所有的 PHY 都具备此功能，因此建议您在实际测试中确认。如果这种方法不起作用，请尝试其他方式确保 GPIO0 在上电时不被时钟干扰。开发板设计请参阅 ESP32-Ethernet-Kit 用户指南。

此外，请注意，如果同时使用以太网和 Wi-Fi，RMII 时钟只能由 PHY 提供或由外部时钟源提供，因为 ESP32 内部 APLL 提供的 RMII 时钟不够稳定。更多信息请参考 ESP32-Ethernet-Kit 用户指南 > RMII 时钟源选择。

1.4 PCB 版图布局

本章节将以 ESP32 模组的 PCB 布局为例（见图*ESP32 模组版图参考设计*），介绍 ESP32 系列芯片的 PCB 布局设计要点。

1.4.1 基于芯片的版图设计通用要点

建议采用四层板设计，即：

- 第一层（顶层），主要用于走信号线和摆件。
- 第二层（地层），不走信号线，保证一个完整的地平面。

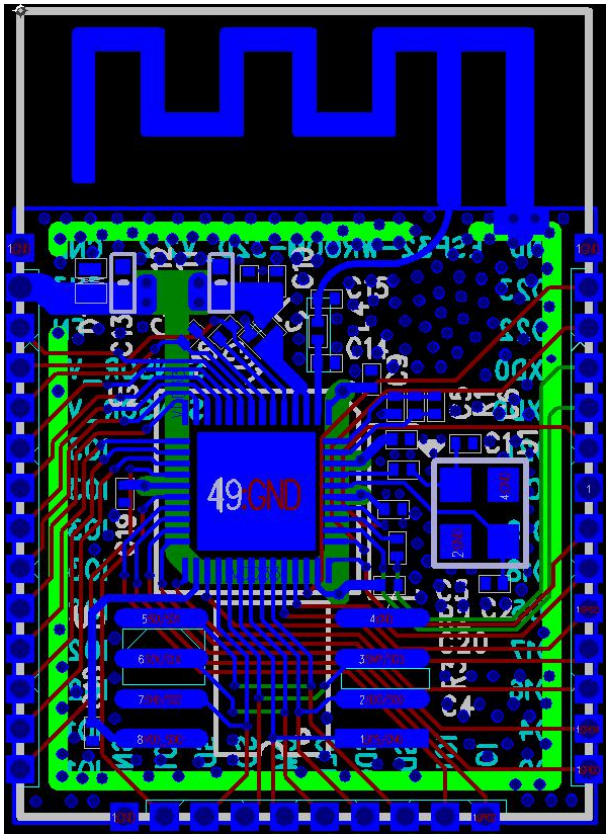

图 14: ESP32 模组版图参考设计

- 第三层（电源线层），铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，将电源走在该层，可适度走信号线。
- 第四层（底层），不建议摆件，可适度走信号线。

如采用两层板设计：

- 第一层（顶层），主要用于摆件和走线。
- 第二层（底层），不要摆件，走线也越少越好，保证射频、晶振和芯片有一个完整的地平面。

1.4.2 电源

四层板设计

图*ESP32 系列芯片四层板电源设计* 所示为四层板设计的电源走线。

- 推荐优先采用四层板设计。电源走线请尽量走在内层（非地层），通过过孔连接至芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图*ESP32 系列芯片四层板电源设计* 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil。模拟电源 VDD3P3 分支走线建议至少 20 mil。其他分支电源走线建议 10 mil。电源走线周围注意包地良好。
- 图*ESP32 系列芯片四层板电源设计* 中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 µF 电容，该电容可再与一个 0.1/1 µF 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。
- 管脚 2、3 处电源因为是射频相关电源，请在管脚上添加一个 10 µF 电容。该电容可再与一个 0.1/1 µF 电容搭配使用。
- 请靠近管脚 2、3 添加 CLC/LC 滤波电路用于抑制高频谐波。该电源可以考虑 45 度出线的方式，拉开和旁边射频走线之间的距离。除了 10 uF 电容，其余器件推荐使用 0201 封装，这样可以把管脚

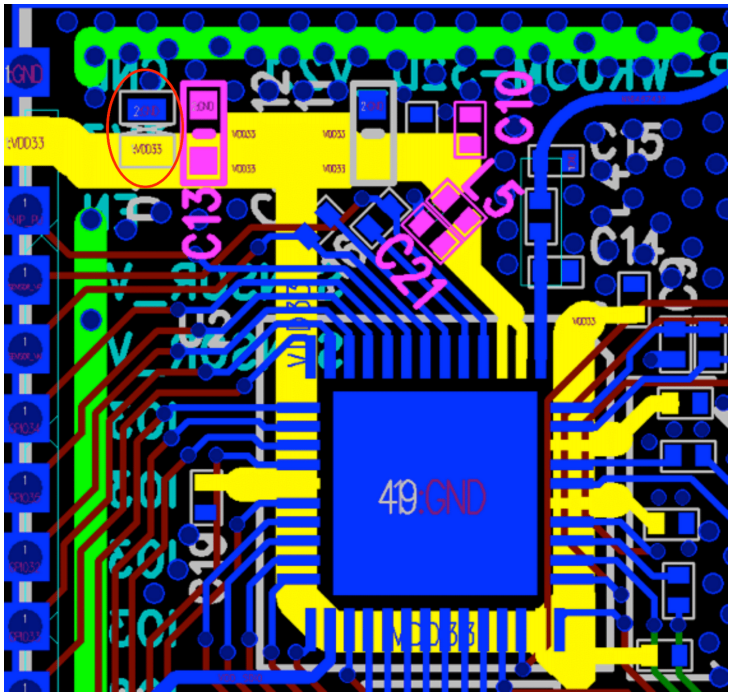

图 15: ESP32 系列芯片四层板电源设计

2、3 的滤波电路放的更靠近管脚，能够和周围的射频、GPIO 之间添加 GND 隔离，并尽量能放置地孔。使用了 0201 封装，可以在靠近芯片的第一个电容上加一段枝节到底层，其余层做 keep-out 隔离处理，可以进一步抑制谐波干扰，详见图*ESP32 系列芯片四层板电源设计*。

- 图*ESP32 系列芯片四层板电源设计* 中，因为 VDD3P3 模拟电源和芯片电源入口接近，因此只使用了一个 10 µF 电容。如果芯片电源入口不靠近 VDD3P3，请在芯片电源入口处和 VDD3P3 处都添加一个 10 µF 电容。
- 其他每个电源管脚上请放置合适的去耦电容。去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。
- 芯片下方的地焊盘需要至少打九个地孔连接到地平面。
- 芯片及其外围电路的器件地焊盘，建议和地铺铜充分接触，不要用走线连接。
- 如图*ESP32 系列芯片四层板电源设计* 所示，如需在模组背面添加散热焊盘 EPAD，建议采用多宫格设计，间隙处盖防焊油墨，地孔打在间隙处。这样可以有效改善模组 EPAD 焊接至底板时的漏锡问题。

两层板设计

图*ESP32 芯片两层板电源设计* 所示为两层板设计的电源走线。

- 如采用两层板设计，请一定保证芯片、射频和晶振有一个完整的参考地，可以参考上图。
- 上图中属性为 VDD33 的走线即为 3.3 V 电源走线。与四层板设计不同的是，电源走线需尽可能走在顶层。故需要将芯片中间的散热焊盘缩小，电源走在四周信号管脚与散热焊盘之间，只在不得不换层的位置，打孔至底层穿一段走线。
- 其他注意事项与四层板一致。

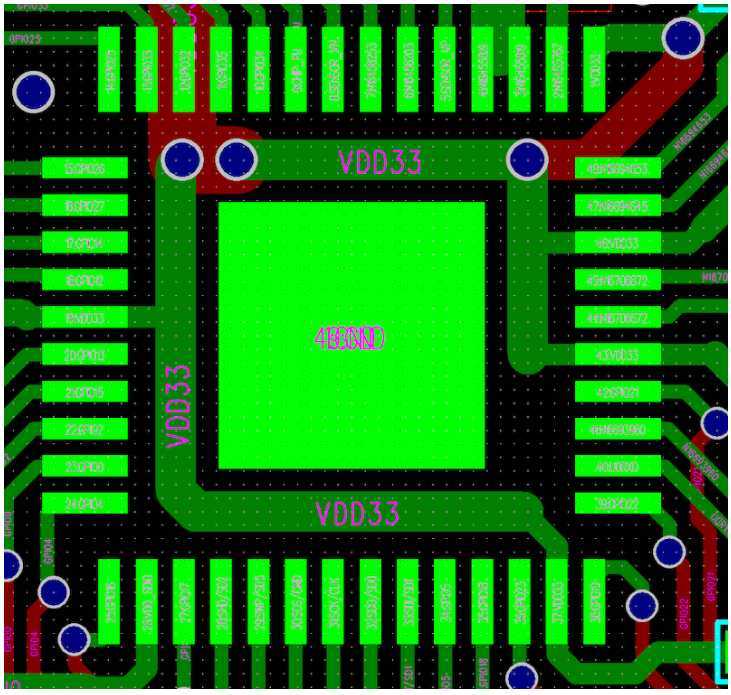

图 16: ESP32 芯片两层板电源设计

1.4.3 晶振

图*ESP32 系列芯片晶振设计（顶层有 keep-out）*为晶振通过通孔连接到地平面，但是顶层通过设置 keep-out 和地隔离开的参考设计图。

晶振设计应遵循以下规范：

- 需要保证射频、晶振和芯片有一个完整的地平面。
- 晶振需离芯片时钟管脚稍远一些放置，防止晶振干扰到芯片。间距应至少为 2.7 mm。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线。
- 晶振上的串联元器件请靠近芯片放置。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，不可直接连接在串联元器件上。电容尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方都不能走高频数字信号，最好是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧尽可能包地。
- 晶振为敏感器件，晶振周围不能放置磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

1.4.4 射频

四层板设计

图*ESP32 系列芯片四层板射频部分版图设计* 中粉色高亮走线即为射频走线。

射频版图设计应遵循以下规范：

- 射频走线需做 50 Ω 阻抗控制，参考平面为芯片邻层。射频走线在做 50 Ω 阻抗控制时，可参考下图所示的 PCB 叠层结构设计。

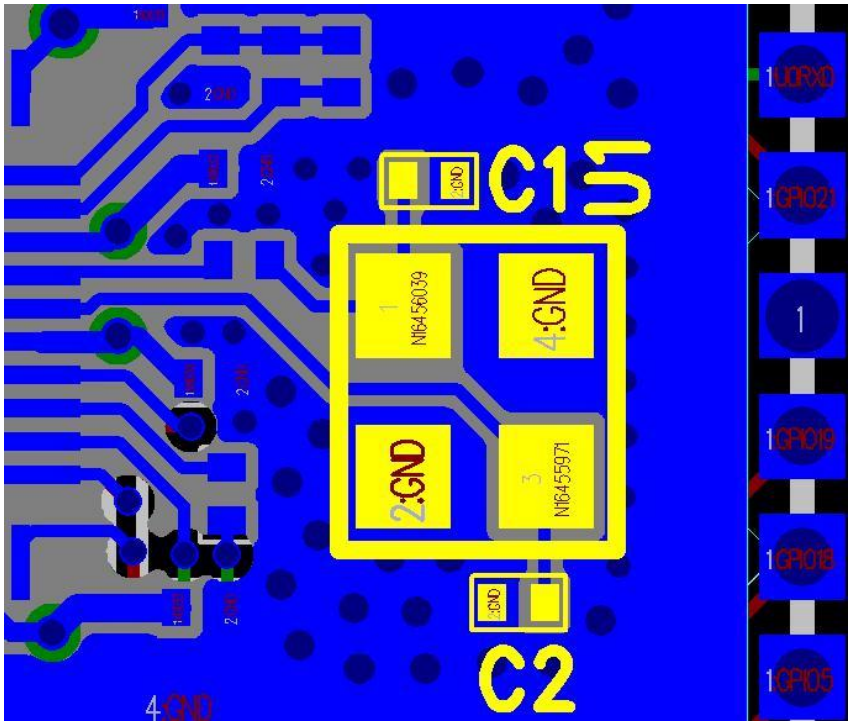

图 17: ESP32 系列芯片晶振设计（顶层有 keep-out）

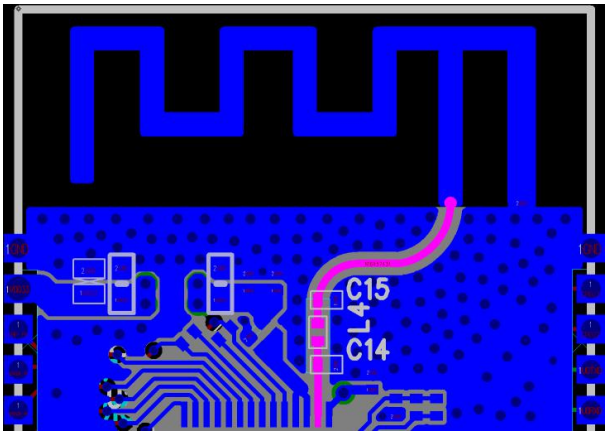

图 18: ESP32 系列芯片四层板射频部分版图设计

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	成品层厚 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8 (Min)	
PP	7628 TG150 RC50%		8.22	4.6
L2_Gnd		1	1.2	
Core	芯板		可调	4.6
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8.22	4.6
L4_Bottom	成品铜厚 1 oz	0.33	0.8 (Min)	
阻焊层			0.4	4

图 19: ESP32 系列芯片 PCB 叠层结构设计

- 调节芯片需要一个 CLC 匹配电路。请使用 0201 器件，把匹配器件靠近管脚放置，并呈 Z 字型摆放。也就是说两个电容勿朝同一方向，以减少互相干扰。
- CLC 匹配电路中靠近芯片侧的对地电容上请添加一段枝节，以有效抑制二次谐波。枝节的长度建议为 15 mil，线宽根据 PCB 叠层结构进行确定，确保枝节的特征阻抗为 100 Ω ± 10%。此外，枝节地孔与第三层相连，第一、二层做 keep-out 隔离处理。下图中的高亮走线即为枝节。当 CLC 匹配电路元器件封装为 0402 或者更大时，则无需做枝节处理。
- PCB 天线请注意需要经过仿真和实际开发板测试。建议额外增加一组 CLC 匹配电路用于调节天线，该电路需尽可能地靠近天线端。

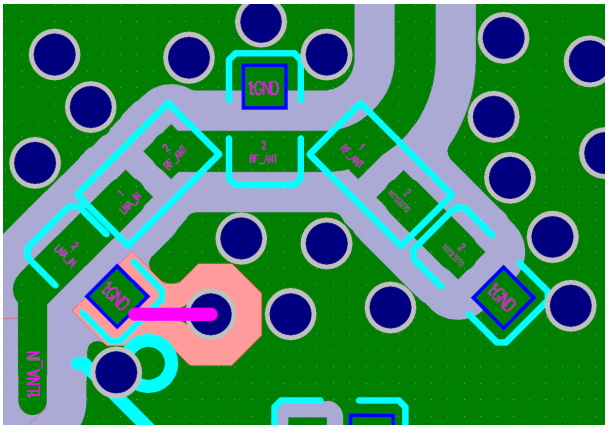

图 20: ESP32 系列芯片四层板射频枝节设计

- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR SDRAM、高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、

过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

两层板设计

图*ESP32 系列芯片两层板射频部分版图设计* 中高亮走线即为两层板设计中的射频走线。四层板设计不同的是，射频走线线宽会增加，通常为 20 mil 以上，确切数值需要根据阻抗计算公式进行调整，板层的变更也会影响到与阻抗有关的一些参数。

其他注意事项与四层板一致。

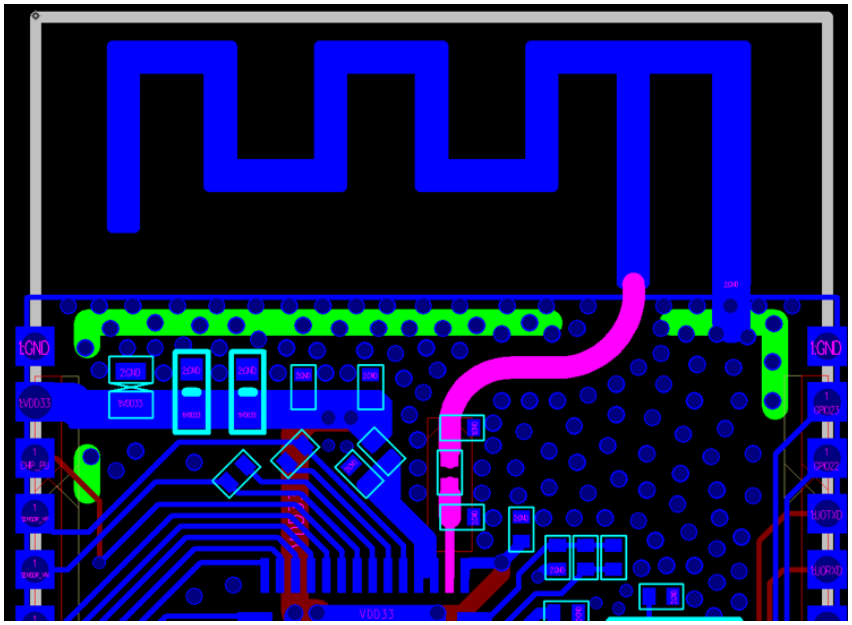

图 21: ESP32 系列芯片两层板射频部分版图设计

1.4.5 Flash 及 PSRAM

Flash 及 PSRAM 的设计应遵循以下规范：

- SPI 通信线上预留的 0 Ω 串联电阻请靠近 ESP32 侧放置。
- SPI 走线请尽可能地走到内层（例如第三层），并且时钟及数据走线都单独进行包地处理。
- 如果 flash 和 PSRAM 距离 ESP32 较远，建议在 ESP32 VDD_SPI 电源、flash 和 PSRAM 处都放置合适的去耦电容。

图*ESP32 系列芯片 Flash 及 PSRAM 版图设计* 所示为 flash (U3) 及 PSRAM (U4) 的版图设计。

1.4.6 外置阻容

外置阻容需靠近芯片管脚放置，并注意走线不可有过孔。注意需优先保证 10 nF 电容靠近管脚放置。

1.4.7 UART

图*ESP32 系列芯片 UART 版图设计* 所示为 UART 版图设计。

UART 版图设计应遵循以下规范：

- U0TXD 线上的串联电阻请靠近芯片侧并远离晶振放置。

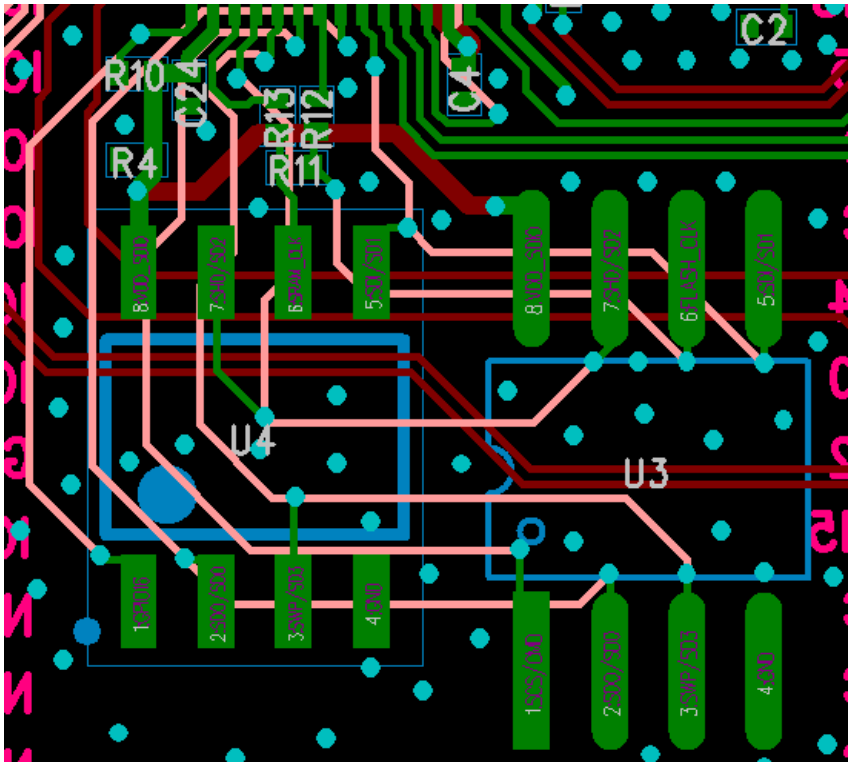

图 22: ESP32 系列芯片 Flash 及 PSRAM 版图设计

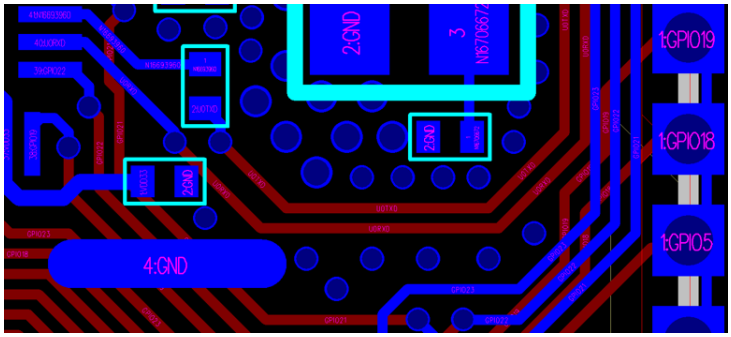

图 23: ESP32 系列芯片 UART 版图设计

- U0TXD、U0RXD 在顶层的走线需尽量短。
- UART 走线两侧请注意包地处理，周围加地孔屏蔽。

1.4.8 基于模组的版图设计通用要点（模组在底板上的位置摆放）

如使用模组进行板上 (on-board) 设计，需注意模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组天线区域伸出板边，馈点靠近底板板边放置。在下面模组摆放位置图中，✓ 代表强烈推荐的摆放位置，其他位置不推荐。

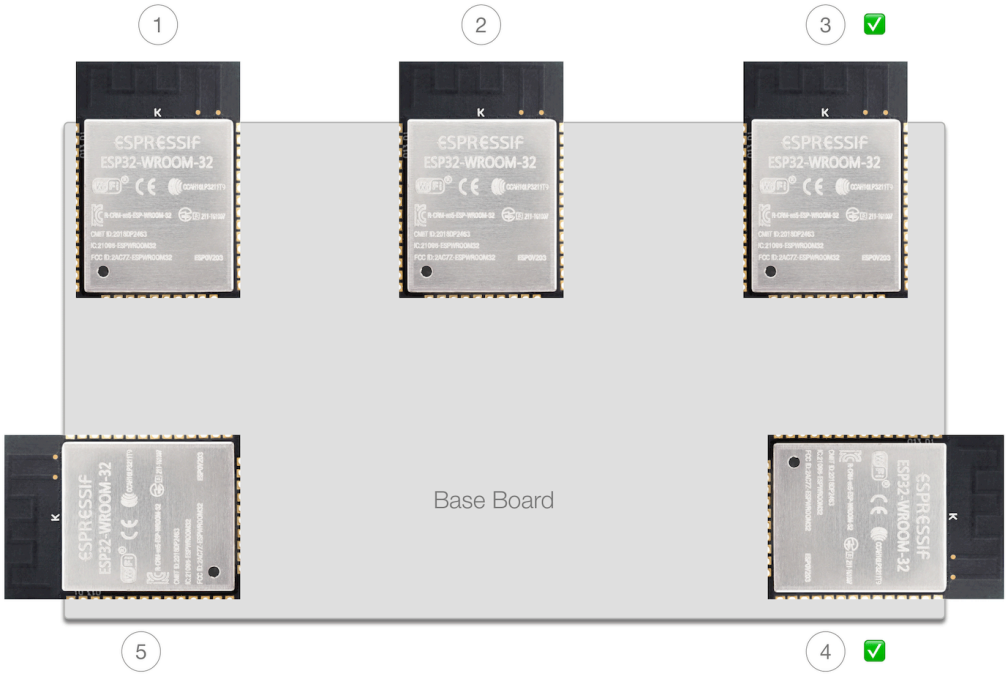

图 24: ESP32 系列模组 (天线馈点在右侧) 在底板上的位置示意图

如果天线无法伸出板边，请保证给 PCB 天线一个足够大的净空区域（严禁铺铜、走线、摆放元件），该净空区域建议至少 15 mm（所有方向上都是）。PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影响。馈点尽量靠近板边放置。图*ESP32 天线区域净空示意图* 以馈点在右侧的模组为例，画出了建议的净空区。

涉及整机设计时，请注意考虑外壳对天线的影响，并进行 RF 验证。请注意最终仍需要对整机产品进行吞吐量和通讯距离等测试来确保产品射频性能。

1.4.9 SDIO

SDIO 版图设计应遵循以下规范：

- SDIO 走线因为速率较高，需要尽量控制其寄生电容。
- SDIO_CMD、SDIO_DATA0 ~ SDIO_DATA3 走线长度以 SDIO_CLK 走线长度为基准 ± 50 mil，需要时绕蛇形线。
- SDIO 走线请保证 50 Ω 单端阻抗控制，误差不能大于 ±10%。
- 从芯片 SDIO 管脚到对端 SDIO 接口的总长度越短越好，最好在 2000 mil 以内。
- SDIO 走线要保证不跨平面。SDIO 走线下方一定要有要有参考层（推荐用地层），且一定要保证参考层的连续性。
- SDIO_CLK 走线两侧请注意包地处理。

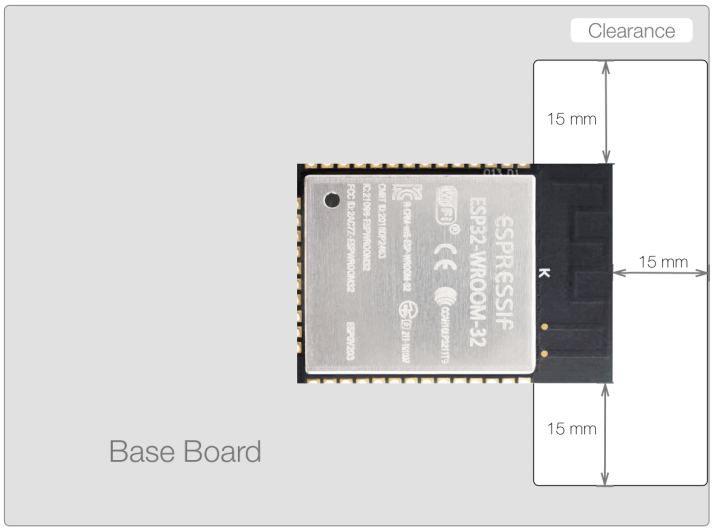

图 25: ESP32 天线区域净空示意图

1.4.10 触摸传感器

ESP32 提供多达 10 个电容式传感 IO，能够探测由手指或其他物品直接接触或接近而产生的电容差异。这种设计具有低噪声和高灵敏度的特点，可以用于支持使用相对较小的触摸板。矩阵按键的设计可以得到更多的触摸点。接近感应的设计可以检测到人体的接近。

图*ESP32 典型的触摸传感器应用* 为典型触摸传感应用。

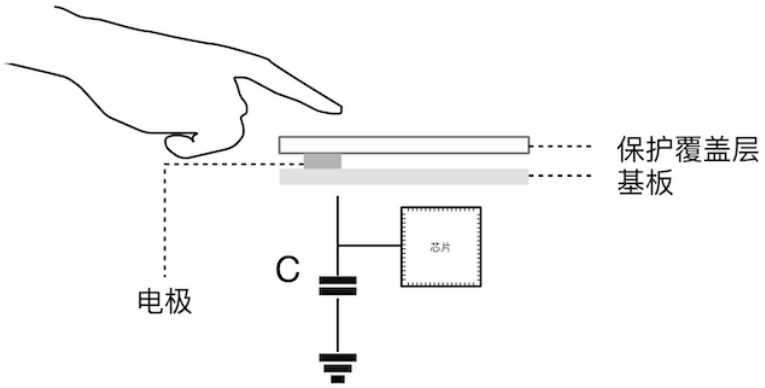

图 26: ESP32 典型的触摸传感器应用

为防止电容耦合和其他电干扰影响触摸传感系统的灵敏度，需要考虑以下因素：

电极图形

适当大小和形状的电极有助于提高系统灵敏度。常见的有圆形、椭圆形和形状类似人的指尖的电极。过大或形状不规则的电极可能导致附近电极发生错误响应。

图*ESP32 电极图形要求* 所示为适当以及不适当大小和形状的电极。注意图中未按照实际比例绘制，建议用指尖作为参考。

PCB 布局

图*ESP32 传感器布局布线* 为传感器布线布局，具体的走线注意事项如下：

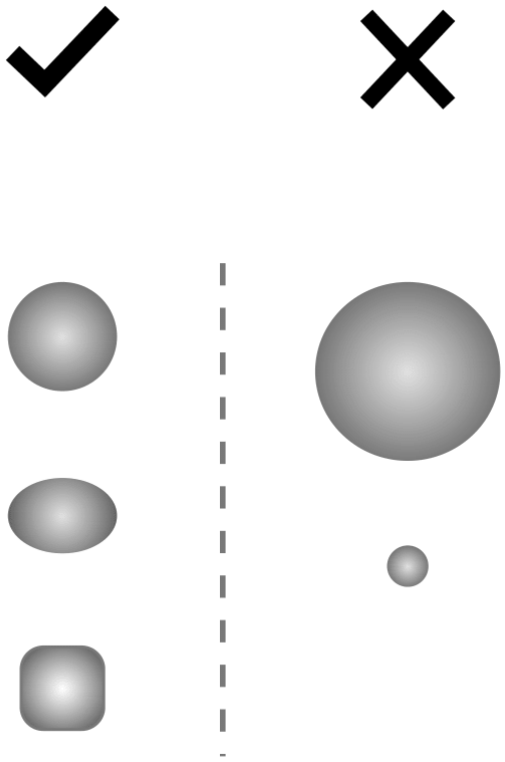

图 27: ESP32 电极图形要求

- 走线长度请尽量短，建议不超过 300 mm。
- 走线宽度 (W) 不能大于 0.18 mm (7 mil)。
- 走线夹角 (R) 不应小于 90°。
- 走线离地间隙 (S) 范围 0.5 mm 到 1 mm。
- 触摸电极直径 (D) 范围 8 mm 到 15 mm。
- 触摸电极和走线应被栅格地围绕。
- 触摸传感器电路注意远离射频天线电路，并注意隔离。

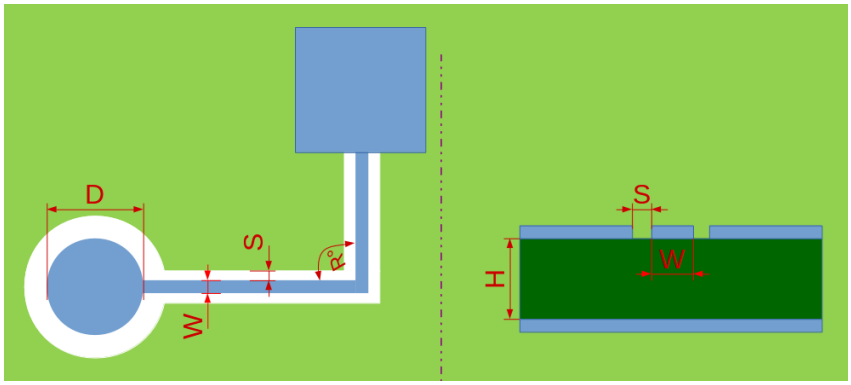

图 28: ESP32 传感器布局布线

备注： 更多关于触摸传感器的硬件设计可查看 触摸传感器应用方案简介。

1.4.11 版图设计常见问题

为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析： 电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11 MHz@11b 的包时，电源纹波峰峰值必须 <120 mV。

解决方法： 在电源支路上（支路为 ESP32 模拟电源管脚）添加一个 10 µF 的滤波电容。10 µF 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析： 射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法： 此问题主要是在布局上，可以重新布局，详见章节晶振。

为什么芯片发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析： 仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法： 射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析： 芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法： 请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节射频。

1.5 开发硬件介绍

1.5.1 ESP32 系列模组

请至乐鑫官网的 模组页面 查看 ESP32 系列模组的最新详细信息。

ESP32 系列模组的参考设计请参考：

- 下载链接

备注： 请使用以下工具打开模组参考设计里的文件：

- .DSN 文件：OrCAD Capture V16.6
- .pcb 文件：Pads Layout VX.2。如果无法打开.pcb 文件，请尝试用其他软件导入.asc 文件查看 PCB 版图。

1.5.2 ESP32 系列开发板

请至乐鑫官网的 开发板页面 查看 ESP32 系列开发板的最新详细信息。

1.5.3 下载指导

ESP32 系列芯片/模组支持通过 UART 下载固件。

UART 下载的过程如下：

1. 烧录前，需要根据表*芯片启动模式控制* 设置芯片/模组在 Joint Download Boot 模式。
2. 给芯片/模组上电，通过 UART0 串口查看是否进入 Joint Download Boot 模式。如果串口显示 “waiting for download”，则表示已进入 Joint Download Boot 模式。
3. 通过 Flash 下载工具，选择 UART 方式将程序固件烧录进 flash 中。
4. 烧录结束后，GPIO0 可以悬空或者上拉切换至高电平，进入 SPI Boot 启动模式下工作。
5. 重新上电，芯片/模组初始化时会从 flash 中读取程序运行。

备注：

- 建议看到 “waiting for download” 的信息后再进行下载。
- 串口打印工具和烧录工具不能同时占用一个串口端口。

1.6 相关文档和资源

- 芯片规格书 (PDF)
- 技术参考手册 (PDF)
- 芯片勘误表 (PDF)
- ESP32 系列芯片
- ESP32 系列模组
- ESP32 系列开发板
- 乐鑫 KiCad 仓库
- 乐鑫产品选型工具
- 产品证书
- 论坛（硬件问题讨论）
- 技术支持

1.7 词汇列表

词汇列表包含了本文档中使用的术语和缩写词。

词汇	描述
CLC	电容-电感-电容
DDR SDRAM	双倍速率同步动态随机存储器
ESD	静电释放
LC	电感-电容
PA	功率放大器
RC	电阻-电容
RTC	实时控制器
SiP	系统封装
0 Ω 电阻	常用作电路设计中的占位符，后续可根据具体设计替换为其他大小的电阻。

1.8 修订历史

表 9: 修订历史

日期	版本	发布说明
2025-05-23	v1.7	• ***PCB* 版图布局** – 章节*SDIO*：更新 SDIO 版图设计规范 – 章节晶振：更新晶振版图设计规范
2024-12-27	v1.6	• **原理图设计** – 章节*RTC 时钟源（可选）*：更新关于 32.768 晶振与芯片版本的说明
2024-12-09	v1.5	• **开发硬件介绍** – 章节*ESP32 系列模组*：增加模组参考设计的下载链接
2024-11-15	v1.4	• **原理图设计** – 章节*SPI*：新增章节
2024-10-15	v1.3	• **原理图设计** – 章节*以太网 MAC*：新增章节 – 章节*UART*：更新 AT 相关的描述
2024-01-09	v1.2	• **原理图设计** – 章节射频调试：更新 RF 匹配电路相关的描述
2023-12-25	v1.1	• ***PCB* 版图布局** – 章节晶振：更新晶振 PCB 布局
2023-12-22	v1.0	首次发布《ESP32 硬件设计指南》HTML 版本。在从 PDF 转换为 HTML 格式的过程中，我们对文档进行了一些微小的修改和润色。如果您需要查看历史版本，请提交文档反馈。

1.9 免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。