

ESP32-C2

硬件设计指南



Release master
乐鑫信息科技
2024年02月21日

Table of contents

Table of contents	i
1 关于本文档	3
1.1 简介	3
1.2 请使用最新本本文档	3
2 产品概述	5
3 原理图设计	7
3.1 电源	8
3.1.1 数字电源	8
3.1.2 模拟电源	9
3.1.3 RTC 电源	9
3.2 上电时序与复位	9
3.3 Flash	11
3.4 时钟源	11
3.4.1 外置主晶振时钟源（必选）	12
3.4.2 RTC 时钟源（可选）	12
3.5 射频	13
3.5.1 射频电路	13
3.5.2 射频调试	13
3.6 UART	14
3.7 Strapping 管脚	14
3.8 GPIO	15
3.9 ADC	16
4 PCB 版图布局	17
4.1 版图设计通用要点	17
4.2 模组在底板上的位置摆放	18
4.3 电源	18
4.3.1 电源走线通用要点	18
4.3.2 3.3 V 电源	20
4.3.3 模拟电源	20
4.4 晶振	21
4.5 射频	22
4.6 UART	22
4.7 版图设计常见问题	24
4.7.1 1. 为什么电源纹波并不大，但射频的 TX 性能很差？	24
4.7.2 2. 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？	24
4.7.3 3. 为什么芯片发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？	24
4.7.4 4. 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？	25
5 开发硬件介绍	27
5.1 ESP32-C2 系列模组	27
5.2 ESP32-C2 系列开发板	27
5.3 下载指导	27

6	相关文档和资源	29
7	词汇列表	31
8	修订历史	33
8.1	ESP 硬件设计指南 v1.0	33
9	免责声明和版权公告	35

本文是 ESP32-C2 系列芯片的硬件设计指南。

重要： ESP32-C2 芯片当前仅有 ESP8684 一个系列，因此本文中出现的 ESP32-C2 指的就是 ESP8684 系列芯片。

Chapter 1

关于本文档

1.1 简介

《ESP 硬件设计指南》提供基于 ESP32-C2 芯片的硬件设计的指导规范。这些规范将帮助您提升电路和 PCB 版图设计的准确性，以实现产品的最佳性能。本文的目标读者是硬件设计师和应用开发人员。

本文档的撰写基于您对 ESP32-C2 有一定的了解。如果您对 ESP32-C2 芯片不熟悉，建议您参考 [ESP32-C2 芯片规格书](#) 以便更好地理解本文内容。

1.2 请使用最新本本文档

点击链接确保您使用的是最新版本的文档：https://docs.espressif.com/projects/esp-hardware-design-guidelines/zh_CN/latest/esp32c2/index.html

Chapter 2

产品概述

ESP32-C2 系列芯片支持以下功能：

- 2.4 GHz Wi-Fi
- Bluetooth® 5 (LE)
- 高性能 RISC-V 32 位单核处理器
- 多种外设
- 适用于较简单、大批量生产的物联网应用

ESP32-C2 采用低功耗 40 纳米工艺，具有超高的射频性能、稳定性、通用性和可靠性，以及超低的功耗，满足不同的功耗需求，适用于各种应用场景。ESP32-C2 的典型应用包括：

- 智能家居
- 工业自动化
- 医疗保健
- 消费电子产品
- 智慧农业
- POS 机
- 服务机器人
- 通用低功耗 IoT 传感器集线器
- 通用低功耗 IoT 数据记录器

更多关于 ESP32-C2 系列芯片说明请参考 [ESP32-C2 系列芯片技术规格书](#)。

备注：除非特别说明，文中使用的“ESP32-C2”指的是 ESP32-C2 系列芯片，而非单一型号。

Chapter 3

原理图设计

ESP32-C2 系列芯片的核心电路只需要 15 个左右的电阻电容电感和 1 个无源晶振。为了能够更好地保证 ESP32-C2 系列芯片的工作性能，本章将详细介绍 ESP32-C2 系列芯片的原理图设计。

下图所示为 ESP32-C2 的核心电路参考设计，您可以将它作为您的原理图设计的基础。

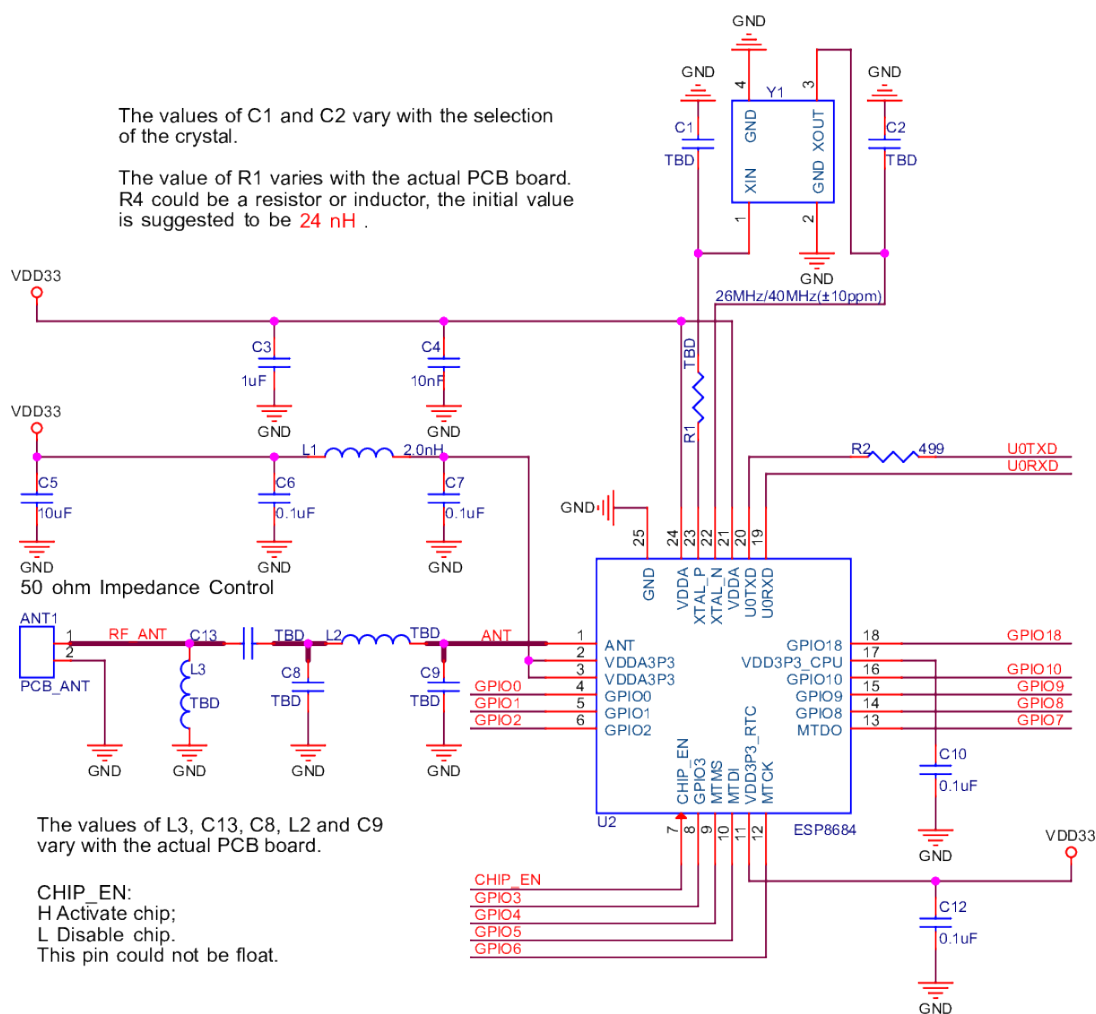


图 1: ESP32-C2 系列芯片参考设计原理图

重要：对于 v1.1 及其之后的芯片版本，ESP32-C2 系列芯片固件支持 26 MHz 和 40 MHz 晶振。但是 v1.0 及之前版本的芯片仅支持 26 MHz 晶振，请避免搭配 40 MHz 晶振。详情请参考 [ESP32-C2 \(ESP8684\) 系列芯片勘误表 \(PDF\)](#)。关于芯片的具体出货版本，请联系 [客户支持团队](#) 确认。

ESP32-C2 系列芯片的核心电路图的设计有以下重要组成部分：

- 电源
- 上电时序与复位
- *Flash*
- 时钟源
- 射频
- *UART*
- *Strapping* 管脚
- *GPIO*
- *ADC*

下文将分别对这些部分进行描述。

3.1 电源

电源电路设计的通用要点有：

- 使用单电源供电时，建议供给 ESP32-C2 的电源电压为 3.3 V，最大输出电流至少 500 mA。
- 建议在总电源入口处添加 ESD 保护器件。

有关电源管脚的更多信息，请查看 [ESP32-C2 系列芯片技术规格书](#) > 章节 电源。

3.1.1 数字电源

ESP32-C2 的管脚 17 VDD3P3_CPU 为数字电源管脚，工作电压范围为 3.0 V ~ 3.6 V。建议在电路中靠近数字电源管脚处添加 0.1 μ F 电容。

ESP32-C2 系列芯片数字电源电路图如图 [ESP32-C2 系列芯片数字电源电路图](#) 所示。

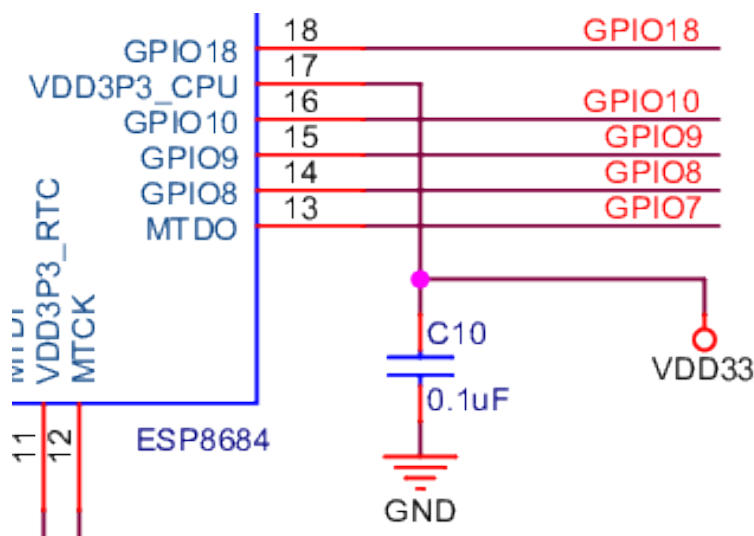


图 2: ESP32-C2 系列芯片数字电源电路图

3.1.2 模拟电源

ESP32-C2 的 VDDA 和 VDDA3P3 管脚为模拟电源管脚，工作电压范围为 3.0 V ~ 3.6 V。

对于 VDDA3P3，当 ESP32-C2 工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在 VDDA3P3 的电源走线上增加一个 10 μF 电容，该电容可与 0.1 μF 电容搭配使用。

建议在总电源入口添加另一个 10 μF 电容。如果总电源入口靠近 VDDA3P3，可以合并仅使用一个 10 μF 电容。

另外，在靠近 VDDA3P3 处还需添加 LC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。

其余电源管脚请参考图 *ESP32-C2* 系列芯片模拟电源电路图 放置相应的去耦电容。

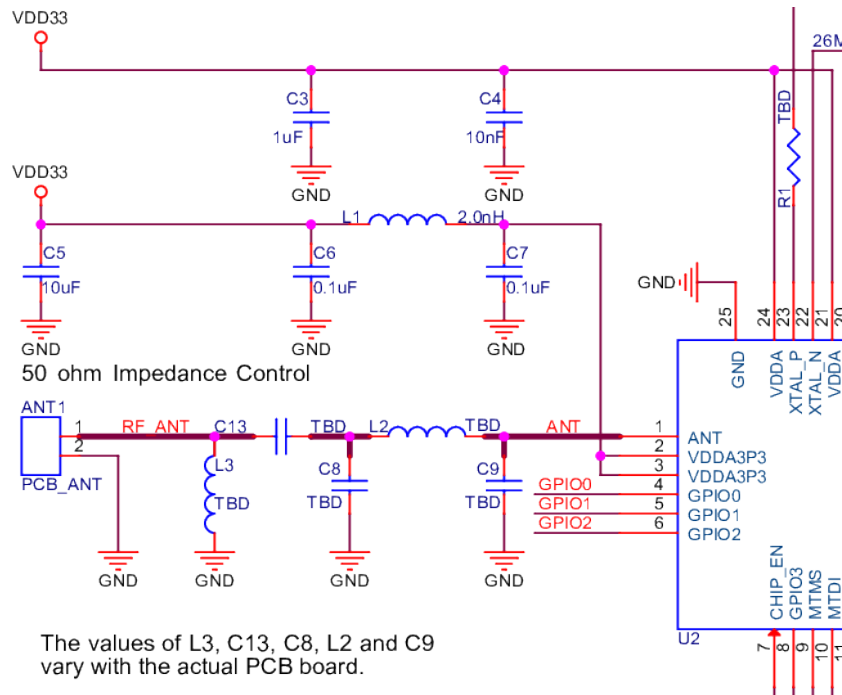


图 3: ESP32-C2 系列芯片模拟电源电路图

如果使用两层板设计，建议将 VDDA3P3 的 CLC 滤波电路改成 CCL 结构，电感更靠近芯片效果会更好。详情可参考图 *ESP32-C2* 系列芯片模拟电源电路图（两层板）。

3.1.3 RTC 电源

ESP32-C2 的 VDD3P3_RTC 管脚为 RTC 电源管脚，建议在电路中靠近该电源管脚处添加 0.1 μF 去耦电容。

请注意该电源不可以作为备用电源单独供电。

RTC 电源电路图如图 *ESP32-C2* 系列芯片 RTC 电源电路图 所示。

3.2 上电时序与复位

ESP32-C2 的 CHIP_EN 管脚为高电平时使能芯片，为低电平时复位芯片。

当 ESP32-C2 使用 3.3 V 系统电源供电时，电源轨需要一些时间才能稳定，之后才能拉高 CHIP_EN，激活芯片。因此，CHIP_EN 管脚上电要晚于系统电源 3.3 V 上电。

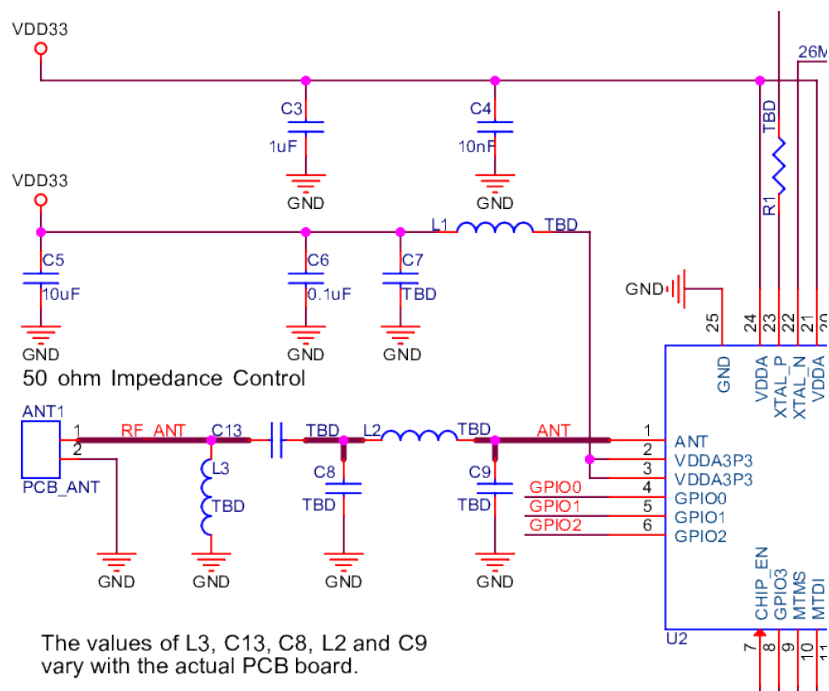


图 4: ESP32-C2 系列芯片模拟电源电路图（两层板）

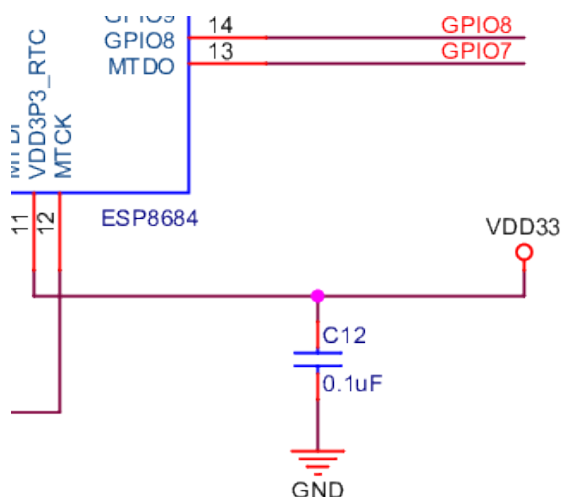


图 5: ESP32-C2 系列芯片 RTC 电源电路图

复位芯片时，复位电压 V_{IL_nRST} 范围应为 $(-0.3 \sim 0.25 \times VDD)$ V。为防止外界干扰引起重启，CHIP_EN 管脚引线需尽量短一些。

图ESP32-C2 系列芯片上电和复位时序图 为 ESP32-C2 系列芯片的上电、复位时序图。

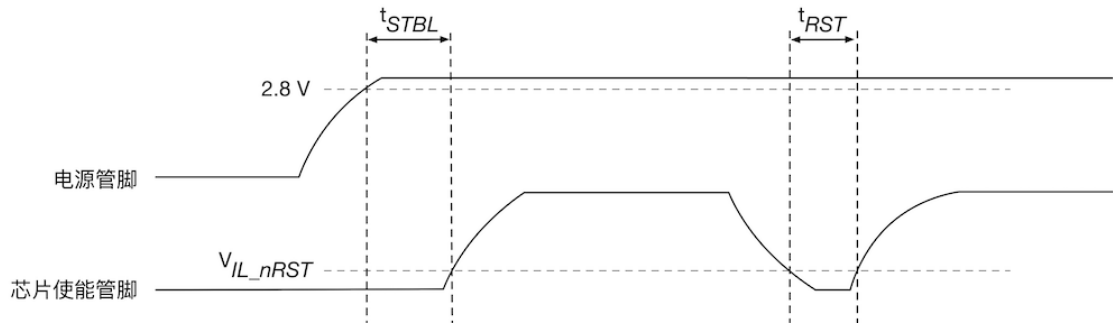


图 6: ESP32-C2 系列芯片上电和复位时序图

上电和复位时序参数说明见表上电和复位时序参数说明。

表 1: 上电和复位时序参数说明

参数	说明	最小值 (μ s)
t_{STBL}	CHIP_EN 管脚上电晚于电源管脚上电的延时时间	50
t_{RST}	CHIP_EN 电平低于 V_{IL_nRST} 从而复位芯片的时间	50

注意:

- CHIP_EN 管脚不可浮空。
- 为确保芯片上电和复位时序正常，一般采用的方式是在 CHIP_EN 管脚处增加 RC 延迟电路。RC 通常建议为 $R = 10 \text{ k}\Omega$ ， $C = 1 \mu\text{F}$ ，但具体数值仍需根据实际的电源特性配合芯片的上电、复位时序进行调整。
- 如果应用中存在以下场景：
 - 电源缓慢上升或下降，例如电池充电；
 - 需要频繁上下电的操作；
 - 供电电源不稳定，例如光伏发电等。
 此时，仅仅通过 RC 电路不一定能满足时序要求，有概率会导致芯片无法进入正常的工作模式。此时，需要增加一些额外的电路设计，比如：
 - 增加复位芯片或者看门狗芯片，通常阈值为 3.0 V 左右；
 - 通过按键或主控实现复位等。

3.3 Flash

ESP32-C2 系列芯片内部合封 1 MB、2 MB 或 4 MB flash，内部的 flash 管脚没有引出到芯片上。

3.4 时钟源

ESP32-C2 外部可以有两个时钟源：

- 外置主晶振时钟源（必选）
- RTC 时钟源（可选）

3.4.1 外置主晶振时钟源（必选）

重要：对于 v1.1 及其之后的芯片版本，ESP32-C2 系列芯片固件支持 26 MHz 和 40 MHz 晶振。但是 v1.0 及之前版本的芯片仅支持 26 MHz 晶振，请避免搭配 40 MHz 晶振。详情请参考 [ESP32-C2 \(ESP8684\) 系列芯片勘误表 \(PDF\)](#)。关于芯片的具体出货版本，请联系 [客户支持团队](#) 确认。

ESP32-C2 的无源晶振部分电路如图 [ESP32-C2 系列芯片无源晶振电路图](#)。注意，选用的无源晶振自身精度需在 ± 10 ppm。

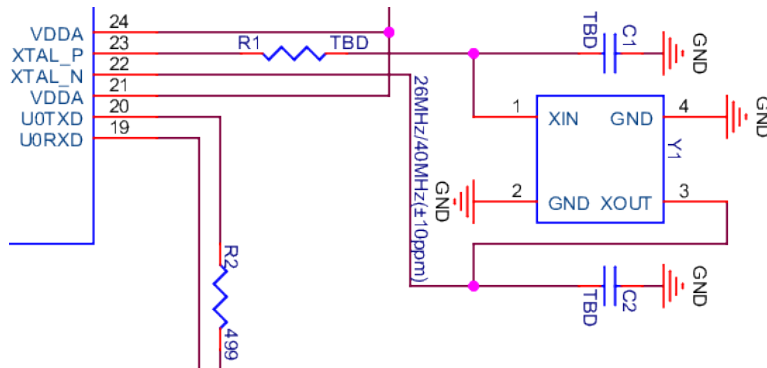


图 7: ESP32-C2 系列芯片无源晶振电路图

XTAL_P 时钟走线上请放置一个串联元器件，可以是电阻或者电感，初始建议使用 24 nH，用来减弱晶振高频谐波对射频性能的影响，最终值需要通过测试后确认。

外部匹配电容 C1 和 C2 的初始值可参考以下公式来决定：

$$C_L = \frac{C1 \times C2}{C1 + C2} + C_{stray}$$

其中 C_L （负载电容）的值可查看所选择晶振的规格书， C_{stray} 的值为 PCB 的寄生电容。C1 和 C2 的最终值需要通过对系统测试后进行调节确定。调试方法如下：

1. 通过 [认证测试工具](#)，选择 TX tone 模式。
2. 使用综测仪或者频谱仪查看 2.4 GHz 信号，解调得到实际频偏。
3. 通过调整外置负载电容，把频偏调整到 ± 10 ppm（建议）以内。
 - 当中心频率偏正时，说明等效负载电容偏小，需要增加外置负载电容。
 - 当中心频率偏负时，说明等效负载电容偏大，需要减小外置负载电容。
 - 通常两个外置负载电容相等，在特殊情况下，也可以有略微差异。

备注：

- 尽管 ESP32-C2 内部带有自校准功能，但是自身频偏过大（例如大于 ± 10 ppm）、工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。
- 建议晶振的幅值大于 500 mV。
- 如果出现功能性的 Wi-Fi 或蓝牙无法连接，排除软件原因后，可以采用上文中的方法，通过调节晶振的电容来保证频偏满足要求。

3.4.2 RTC 时钟源（可选）

ESP32-C2 支持外置 32.768 kHz 的无源晶振或者外部激励信号（如有源晶振）作为 RTC 时钟。使用外部 RTC 时钟源是为了使时间更准确，从而降低平均功耗，但对于功能没有任何影响。

如果不需要该 RTC 时钟源，则 32.768 kHz 晶振的管脚也可配置为通用 GPIO 口使用。

3.5 射频

3.5.1 射频电路

ESP32-C2 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及其匹配电路。各部分电路应满足以下设计规范：

- PCB 板射频走线：需进行 50 Ω 阻抗控制。
- 芯片匹配电路：请尽量靠近芯片放置，优先采用 CLCCL 结构。
 - CLCCL 结构构成带通滤波器，主要用来调整阻抗点，抑制谐波及抑制低频噪声（尤其在电工照明类的应用中效果显著）。如果应用中没有 AC 转 DC 电路，可以考虑只用 CLC 结构。
 - 芯片匹配电路如图 *ESP32-C2 系列芯片射频匹配电路图* 所示。
- 天线及其匹配电路：为保证辐射性能，建议天线的输入阻抗为 50 Ω 左右。为保险起见，推荐在靠近天线位置增加一组 π 型匹配电路，用于调节天线的输入阻抗。如果经过仿真可以确保天线阻抗点为 50 Ω 左右，并且空间较小，则可以不加天线端的匹配电路。

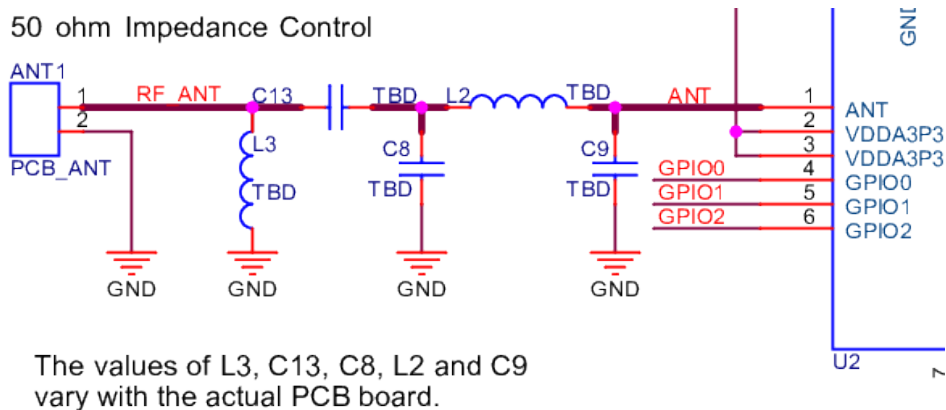


图 8: ESP32-C2 系列芯片射频匹配电路图

3.5.2 射频调试

射频匹配网络的参数值和 PCB 板有关，不要直接使用模组的匹配值，须按照下述射频调试进行确认。

图 *ESP32-C2 射频调试示意图* 展示了射频调试的大概过程。

将芯片匹配电路靠近芯片的端口定义为端口 1，将其靠近天线的端口定义为端口 2，则 S11 用来描述从端口 1 反射回来的信号功率与输入信号功率之比，如果匹配阻抗与芯片阻抗共轭，则传输性能最佳。S21 用来描述从端口 1 到端口 2 的信号功率传输损耗。如果 S11 接近芯片共轭阻抗点 (30+j0)，且 S21 在 4.8 GHz 和 7.2 GHz 频率下小于 -35 dB，则匹配电路可满足传输要求。

将芯片匹配电路的两端分别接到综测仪上，测试其信号反射参数 S11 及传输参数 S21。调试该匹配电路中元件的数值，直至 S11 和 S21 满足上述要求。如果芯片的 PCB 板严格设计遵循章节 *PCB 版图布局* 里的规范，用户可以参考表 *匹配电路元器件推荐数值范围* 来调试该匹配电路。

表 2: 匹配电路元器件推荐数值范围

位号	推荐数值范围	物料编号
C11	1.2 ~ 1.8 pF	GRM0335C1H1RXBA01D
L2	2.4 ~ 3.0 nH	LQP03TN2NXB02D
C12	1.8 ~ 1.2 pF	GRM0335C1H1RXBA01D

如果射频贴片器件采用 0201 物料，靠近芯片端匹配电路的 PCB 设计需要采用短截线。如果天线输入阻抗不是 50 欧姆，建议额外增加一组射频匹配用于天线调谐。

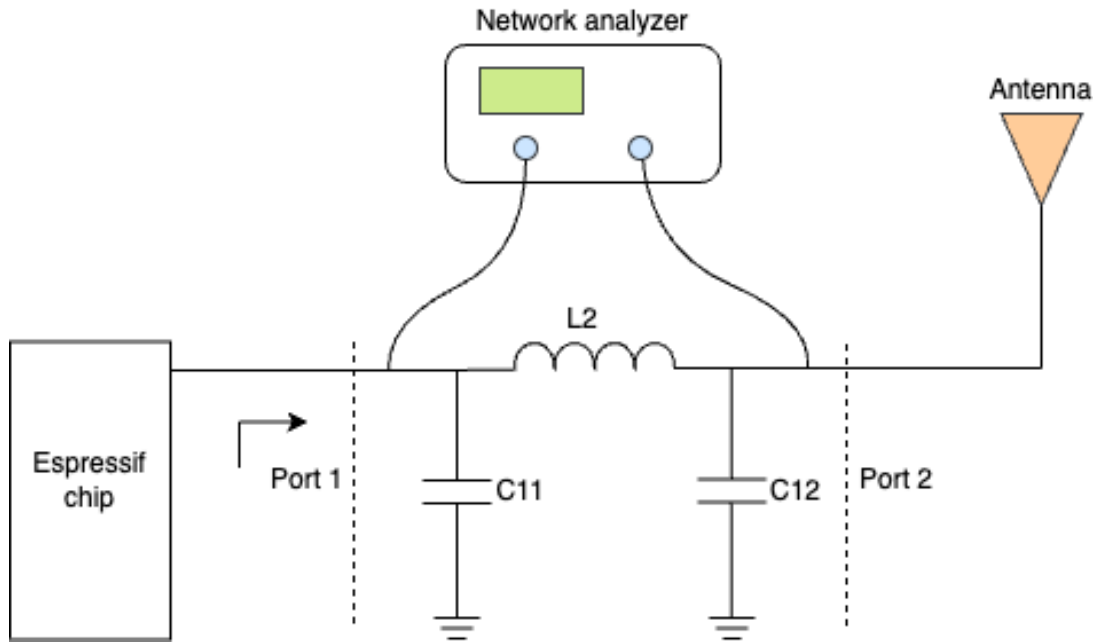


图 9: ESP32-C2 射频调试示意图

如果使用或生产环境中对静电敏感，建议在靠近天线侧预留 ESD 保护器件。

备注： 如果不需要使用射频功能，射频管脚可以悬空。

3.6 UART

U0TXD 线上建议串联 499 Ω 电阻用于抑制 80 MHz 谐波。

UART0 通常作为下载和 log 打印的串口。关于如何使用 UART0 进行下载，请参考[章节下载指导](#)。

其他 UART 可以作为通信的串口，管脚可以通过软件配置到任意空闲的 GPIO 上。同样在 TX 线上建议预留串联电阻用于抑制谐波。

请注意使用 AT 固件时，固件里配置了 UART 的 GPIO，可以参考[AT 固件下载](#)，建议使用默认配置。

3.7 Strapping 管脚

芯片每次上电或复位时，都需要一些初始配置参数，如加载芯片的启动模式等。这些参数通过 strapping 管脚控制。复位放开后，strapping 管脚和普通 IO 管脚功能相同。

所有的 strapping 管脚信息，可参考[ESP32-C2 系列芯片技术规格书](#) > 章节 *Strapping* 管脚。下面主要介绍和启动模式有关的 strapping 管脚信息。

芯片复位释放后，GPIO8 和 GPIO9 共同决定启动模式，详见表[芯片启动模式控制](#)。

表 3: 芯片启动模式控制

启动模式	GPIO8	GPIO9
默认配置	-(浮空)	1 (上拉)
SPI Boot (default)	任意值	1
Joint Download Boot ¹	1	0
无效组合 ²	0	0

Strapping 管脚的时序参数包括 建立时间和 保持时间。更多信息，详见图 *Strapping* 管脚的时序参数图 和表 *Strapping* 管脚的时序参数说明。

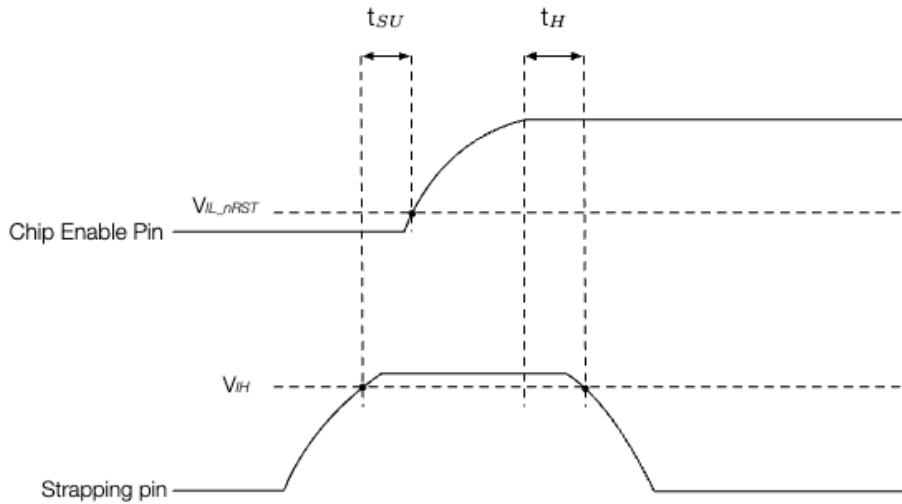


图 10: Strapping 管脚的时序参数图

表 4: Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_EN 激活芯片前，电源轨达到稳定所需的时间	0
t_H	保持时间，即 CHIP_EN 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

注意：不要在 GPIO9 管脚处添加较大的电容，以免影响芯片上电启动。

3.8 GPIO

ESP32-C2 系列芯片通过 IO MUX 表格或者 GPIO 交换矩阵功能来配置 GPIO。IO MUX 表格中是默认的外设管脚配置，GPIO 交换矩阵用于将可以配置的外设信号传输至 GPIO 管脚。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考 [ESP32-C2 技术参考手册](#) > 章节 *IO MUX* 和 *GPIO* 交换矩阵。

部分外设的 GPIO 管脚是固定的，部分是可以任意配置的，具体信息请参考 [ESP32-C2 系列芯片技术规格书](#) > 章节 *外设管脚分配*。

使用 GPIO 时，请注意：

- Strapping 管脚的上电状态。
- 请注意 GPIO 复位后的默认配置，详见表 *IO MUX 管脚功能*。建议对处于高阻态的管脚配置上拉或下拉，或在软件初始化时开启管脚自带的上下拉，以避免不必要的耗电。
- 上电过程中，部分管脚会有毛刺，详见表 *芯片上电过程中的管脚毛刺*。

¹ Joint Download Boot 模式下支持 UART Download Boot 下载方式。除了 SPI Boot 和 Joint Download Boot 模式，ESP32-C2 还支持 SPI Download Boot 模式，详见 [ESP32-C2 技术参考手册](#) > 章节 *芯片 Boot 控制*。

² 该组合会触发意外行为，应当避免。

表 5: IO MUX 管脚功能

管脚名称	管脚序号	功能 0	功能 1	功能 2	复位	说明
GPIO0	4	GPIO0	GPIO0	—	0	R, G
GPIO1	5	GPIO1	GPIO1	—	0	R, G
GPIO2	6	GPIO2	GPIO2	FSPIQ	1	R
GPIO3	8	GPIO3	GPIO3	—	1	R, G
MTMS	9	MTMS	GPIO4	FSPIHD	1	R
MTDI	10	MTDI	GPIO5	FSPIWP	1	R, G
MTCK	12	MTCK	GPIO6	FSPICLK	1*	—
MTDO	13	MTDO	GPIO7	FSPID	1	—
GPIO8	14	GPIO8	GPIO8	—	1	—
GPIO9	15	GPIO9	GPIO9	—	3	—
GPIO10	16	GPIO10	GPIO10	FSPICS0	1	—
GPIO18	18	GPIO18	GPIO18	—	0	—
U0RXD	19	U0RXD	GPIO19	—	3	—
U0TXD	20	U0TXD	GPIO20	—	4	—

复位:

各管脚复位后的默认配置:

- 0-输入关闭, 高阻 (IE = 0)
- 1-输入使能, 高阻 (IE = 1)
- 2-输入使能, 下拉电阻使能 (IE = 1, WPD = 1)
- 3-输入使能, 上拉电阻使能 (IE = 1, WPU = 1)
- 4-输出使能, 上拉电阻使能 (OE = 1, WPU = 1)
- 1*-eFuse 的 EFUSE_DIS_PAD_JTAG 位为
 - 0 时 (初始默认值), 管脚复位后输入使能, 上拉电阻使能 (IE = 1, WPU = 1)
 - 1 时, 管脚复位后输入使能, 高阻 (IE = 1)

说明:

- R-管脚具有模拟功能
- G-管脚在芯片上电过程中有毛刺, 详见表[芯片上电过程中的管脚毛刺](#)。

表 6: 芯片上电过程中的管脚毛刺

管脚名称	毛刺类型 ³	典型持续时间 (μs)
GPIO0	低电平毛刺	40
GPIO1	低电平毛刺	60
GPIO3	低电平毛刺	60
MTDI	低电平毛刺	60

3.9 ADC

使用 ADC 功能时, 请靠近管脚添加 0.1 μF 的对地滤波电容, 精度会更准确一些。

ADC 经硬件校准和 [软件校准](#) 后的结果如以下列表所示。如需更高的精度, 可选用其他方法自行校准。

- 当 ATTEN=0, 有效测量范围为 0 ~ 950 mV 时, 总误差为 ±5 mV。
- 当 ATTEN=3, 有效测量范围为 0 ~ 2800 mV 时, 总误差为 ±10 mV。

³ 低电平毛刺: 管脚在持续期间维持低电平输出状态

Chapter 4

PCB 版图布局

本章节将以 ESP32-C2 模组的 PCB 布局为例（见图 ESP32-C2 模组版图参考设计），介绍 ESP32-C2 系列芯片的 PCB 布局设计要点。

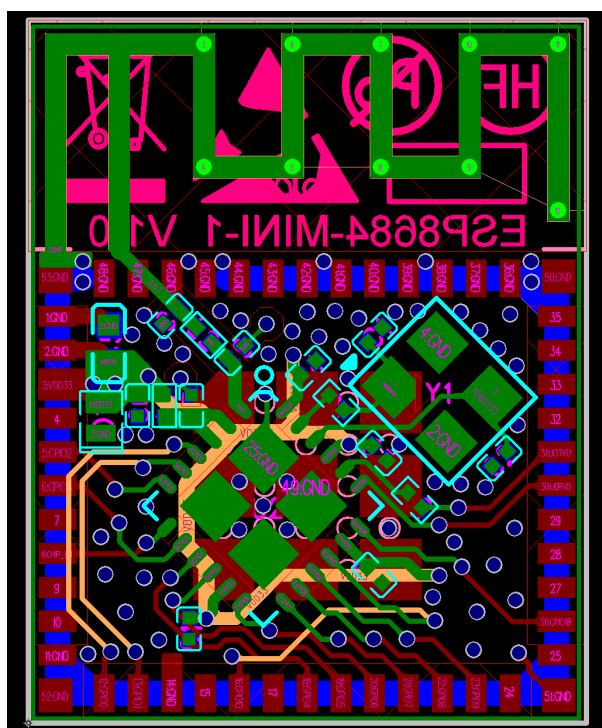


图 1: ESP32-C2 模组版图参考设计

4.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层（顶层），主要用于走信号线和摆件。
- 第二层（地层），不走信号线，保证一个完整的地平面。
- 第三层（电源线层），铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，将电源走在该层，可适度走信号线。
- 第四层（底层），不建议摆件，可适度走信号线。

如采用两层板设计：

- 第一层（顶层），主要用于摆件和走线。
- 第二层（底层），不要摆件，走线也越少越好，保证射频、晶振和芯片有一个完整的地平面。

4.2 模组在底板上的位置摆放

如使用模组进行板上 (on-board) 设计，需注意模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组天线区域伸出板边，馈点靠近底板板边放置。在下面模组摆放位置图中，✓ 代表强烈推荐的摆放位置，其他位置不推荐。

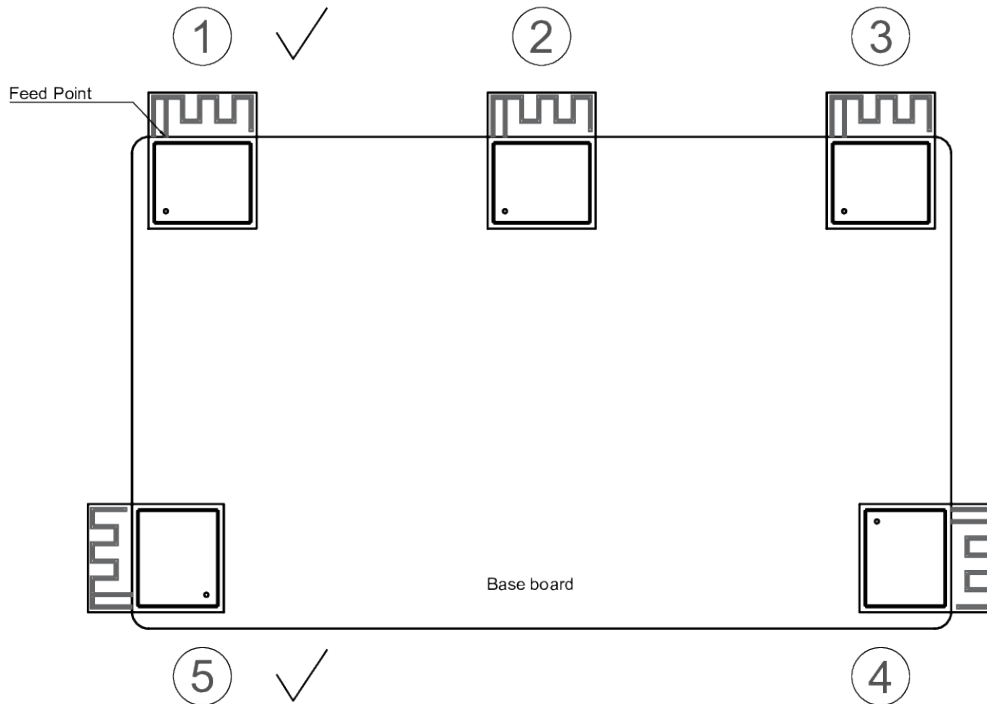


图 2: ESP32-C2 系列模组 (天线馈点在左侧) 在底板上的位置示意图

如果天线无法伸出板边，请保证给 PCB 天线一个足够大的净空区域（严禁铺铜、走线、摆放元件），该净空区域建议至少 15 mm。PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影响。馈点还是尽量靠近板边放置。图 [ESP32-C2 天线区域净空示意图](#) 以馈点在左侧的模组为例，画出了建议的净空区。

涉及整机设计时，请注意考虑外壳对天线的影响，并进行 RF 验证。请注意最终仍需要对整机产品进行吞吐量和通讯距离等测试来确保产品射频性能。

4.3 电源

图 [ESP32-C2 系列芯片四层板电源设计](#) 所示为四层板设计的电源走线。

图 [ESP32-C2 系列芯片两层板电源设计](#) 所示为两层板设计的电源走线。

4.3.1 电源走线通用要点

- 优先采用四层板设计。
- 电源走线尽量走在内层第三层。

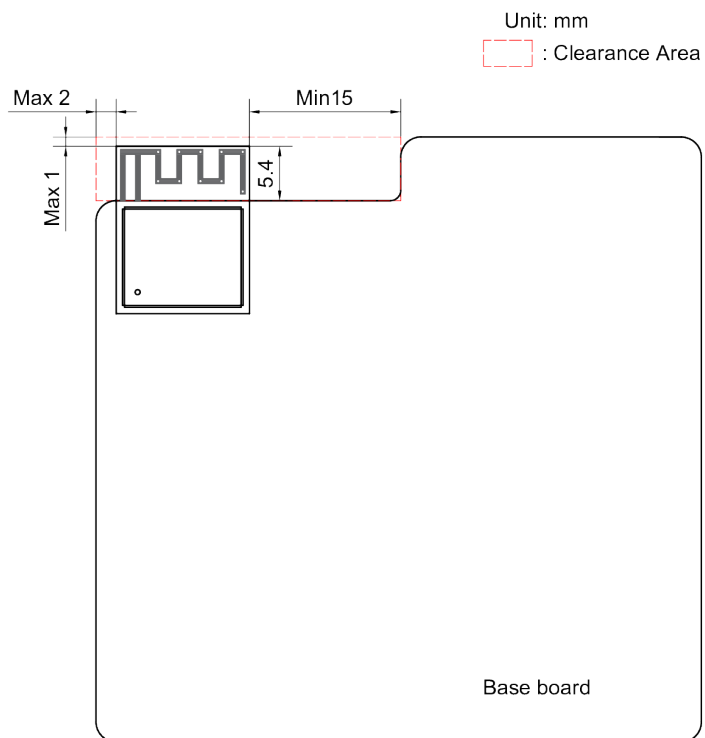


图 3: ESP32-C2 天线区域净空示意图

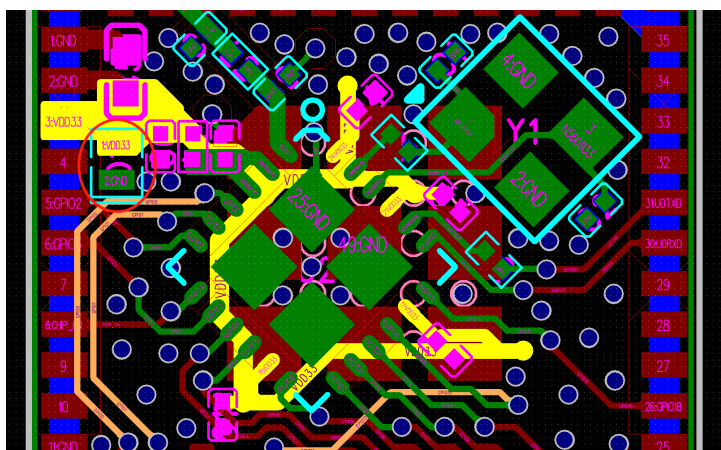


图 4: ESP32-C2 系列芯片四层板电源设计

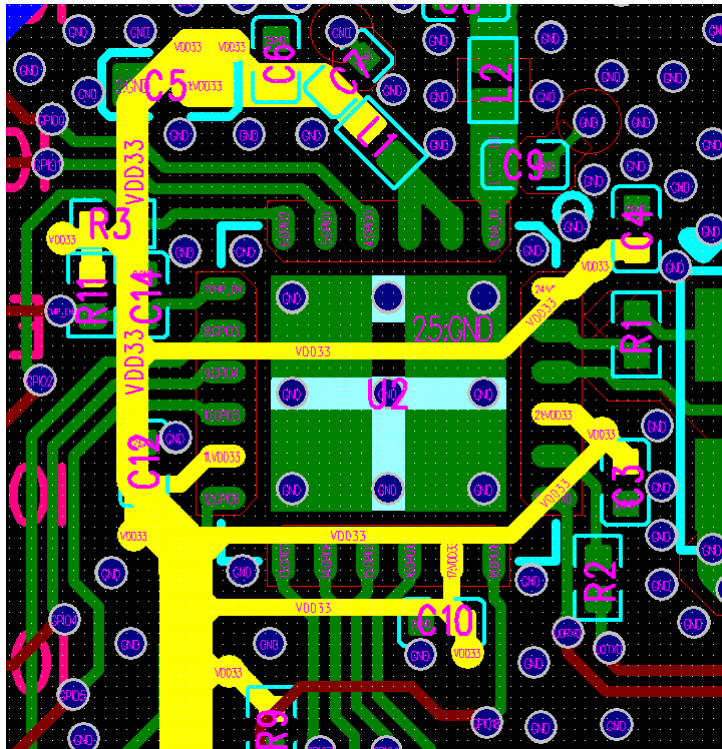


图 5: ESP32-C2 系列芯片两层板电源设计

- 通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 芯片下方的地焊盘需要至少打九个地孔连接到地平面。
- 如需在模组背面添加散热焊盘 EPAD，建议采用多宫格设计，间隙处盖防焊油墨，地孔打在间隙处，如图 *ESP32-C2* 系列芯片四层板电源设计 所示。这样可以避免模组 EPAD 焊接至底板时因为溢锡及气泡导致芯片移位。

4.3.2 3.3 V 电源

图 *ESP32-C2* 系列芯片四层板电源设计 中黄色高亮信号线即为 3.3 V 电源走线。

3.3 V 电源走线应遵循以下规范：

- 图 *ESP32-C2* 系列芯片四层板电源设计 中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 μF 电容，该电容可与 0.1 或 1 μF 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。
- 图 *ESP32-C2* 系列芯片四层板电源设计 中，因为 VDDA3P3 模拟电源和芯片电源入口接近，因此只使用了一个 10 μF 电容。如果芯片电源入口不靠近 VDDA3P3，请在芯片电源入口处和 VDDA3P3 处都添加一个 10 μF 电容。如果有足够空间，可以再各预留一个 1 μF 电容。
- 主干电源走线的线宽建议至少 20 mil。模拟电源 VDDA3P3 分支走线建议至少 15 mil。其他分支电源走线建议 10 mil。

4.3.3 模拟电源

图 *ESP32-C2* 系列芯片四层板模拟电源设计 所示为四层板设计的模拟电源走线。

模拟电源设计应遵循以下规范：

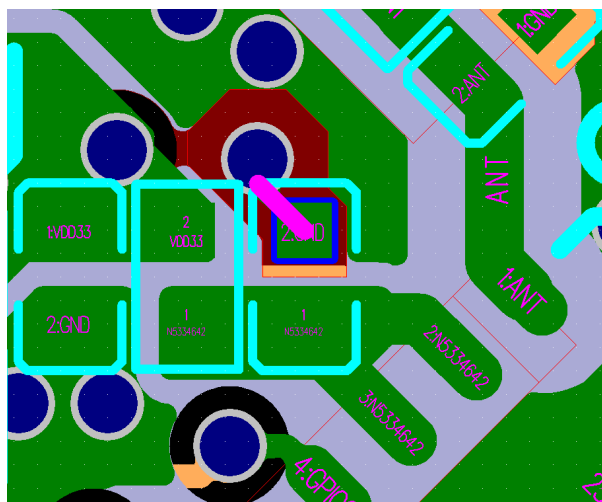


图 6: ESP32-C2 系列芯片四层板模拟电源设计

- 如图ESP32-C2 系列芯片四层板模拟电源设计所示，VDDA3P3 模拟电源处 LC 滤波电容中的对地电容的 GND 焊盘建议添加过孔连接至底层的地，其余层做 keep-out 隔离处理，进一步降低谐波干扰
- VDDA3P3 模拟电源两边请包地处理，和周围的射频、GPIO 之间添加 GND 隔离，并尽量能放置地孔。

4.4 晶振

图ESP32-C2 系列芯片晶振设计（顶层没有 keep-out）为晶振通过通孔连接到地平面，但是顶层没有设置 keep-out 和地隔离的参考设计图。

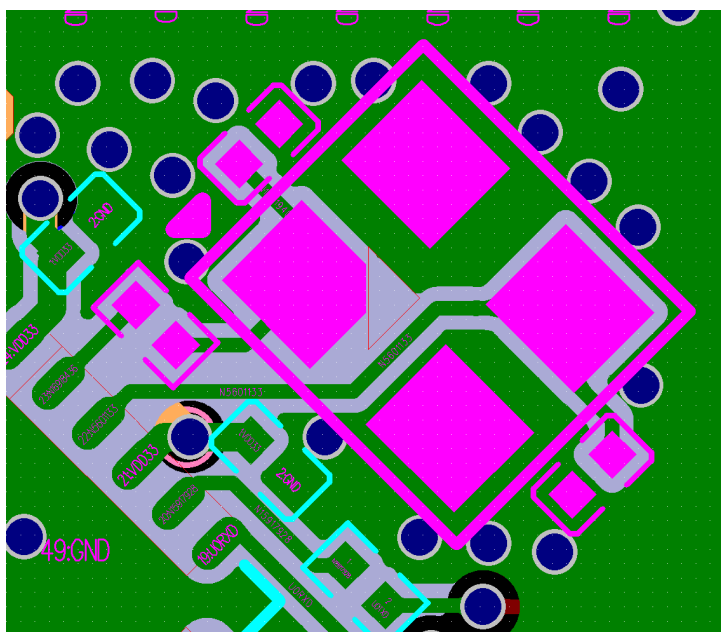


图 7: ESP32-C2 系列芯片晶振设计（顶层没有 keep-out）

晶振设计应遵循以下规范：

- 需要保证射频、晶振和芯片有一个完整的地平面。
- 晶振需离芯片时钟管脚稍远一些放置，防止晶振干扰到芯片。间距应至少为 2.0 mm。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。

- 晶振的时钟走线不可打孔走线，即不能跨层，不可交叉，也不可跨层交叉。
- 晶振上的串联元器件请靠近芯片放置。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，不可直接连接在串联元器件上。电容尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方都不能走高频数字信号，最好是晶振下方不走任何信号线。晶振时钟走线两侧的电线路上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧尽可能包地。
- 晶振为敏感器件，晶振周围不能放置磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

4.5 射频

图ESP32-C2 系列芯片四层板射频部分版图设计中粉色高亮走线即为射频走线。

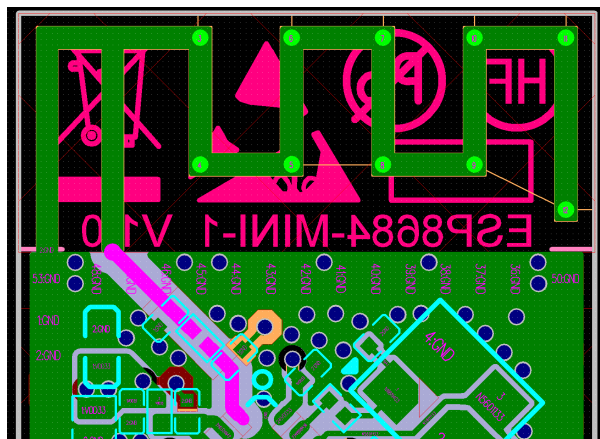


图 8: ESP32-C2 系列芯片四层板射频部分版图设计

射频版图设计应遵循以下规范：

- 射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需尽可能地靠近芯片端，并呈 Z 字型摆放。
- 射频走线须做 $50\ \Omega$ 阻抗控制，参考平面为第二层。射频走线在做 $50\ \Omega$ 阻抗控制时，可参考下图所示的 PCB 叠层结构设计。
- π 型 CLC 匹配网络中靠近芯片侧对地电容的 GND 焊盘与地之间建议增加短截线，可有效抑制二次谐波。短截线的长度建议为 $15\ \text{mil}$ ，线宽根据 PCB 叠层结构进行确定，确保短截线的特征阻抗为 $100\ \Omega \pm 10\%$ 。此外，短截线地孔与第三层相连，第一、二层做 keep-out 隔离处理。图ESP32-C2 系列芯片四层板射频短截线设计中的高亮走线即为短截线。当 π 型匹配网络元器件封装为 0201 以上时，则无需做短截线处理。
- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR SDRAM、高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

4.6 UART

图ESP32-C2 系列芯片 UART 版图设计所示为 UART 版图设计。

UART 版图设计应遵循以下规范：

- U0TXD 线上的串联电阻请靠近芯片侧并远离晶振放置。

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	厚度 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8	
PP	7628 TG150 RC50%		8	4.39
L2_Gnd		1	1.2	
Core	芯板		可调	4.43
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8	4.39
L4_Bottom	成品铜厚 1 oz	0.33	0.8	
阻焊层			0.4	4

图 9: ESP32-C2 系列芯片 PCB 叠层结构设计

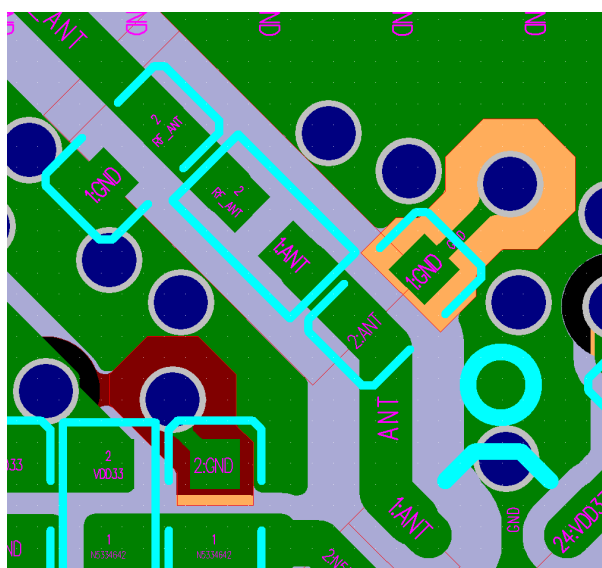


图 10: ESP32-C2 系列芯片四层板射频短截线设计

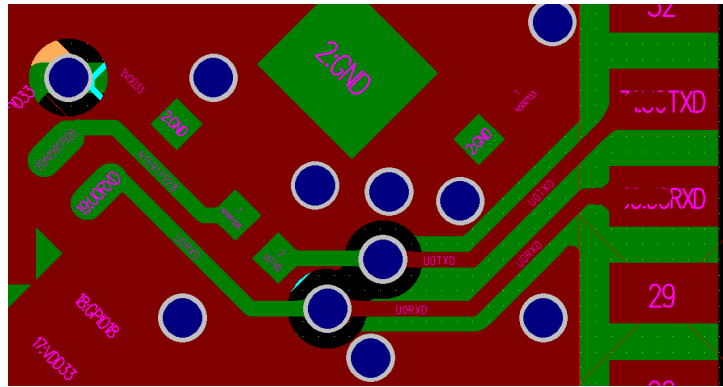


图 11: ESP32-C2 系列芯片 UART 版图设计

- U0TXD、U0RXD 在顶层的走线需尽量短。
- UART 走线两侧请注意包地处理，周围加地孔屏蔽。

4.7 版图设计常见问题

4.7.1 1. 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析：电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-C2 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11 MHz@11b 的包时，电源纹波峰峰值必须 <120 mV。

解决方法：在电源支路上（支路为 ESP32-C2 模拟电源管脚）添加一个 10 μ F 的滤波电容。10 μ F 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

4.7.2 2. 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析：射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法：此问题主要是在布局上，可以重新布局，详见章节[晶振](#)。

4.7.3 3. 为什么芯片发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析：仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法：射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

4.7.4 4. 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析：芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法：请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节[射频](#)。

Chapter 5

开发硬件介绍

5.1 ESP32-C2 系列模组

请至乐鑫官网的 [模组页面](#) 查看 ESP32-C2 系列模组的最新详细信息。

乐鑫官网的 [文档页面](#) 提供模组的参考设计。

5.2 ESP32-C2 系列开发板

请至乐鑫官网的 [开发板页面](#) 查看 ESP32-C2 系列开发板的最新详细信息。

5.3 下载指导

ESP32-C2 系列芯片/模组支持通过 UART 下载固件。

UART 下载的过程如下：

1. 烧录前，需要根据表 [芯片启动模式控制](#) 设置芯片/模组在 Joint Download Boot 模式。
2. 给芯片/模组上电，通过 UART0 串口查看是否进入 Joint Download Boot 模式。如果串口显示 “waiting for download”，则表示已进入 Joint Download Boot 模式。
3. 通过 [Flash 下载工具](#)，选择 UART 方式将程序固件烧录进 flash 中。
4. 烧录结束后，GPIO9 可以悬空或者上拉切换至高电平，进入 SPI Boot 启动模式下工作。
5. 重新上电，芯片/模组初始化时会从 flash 中读取程序运行。

备注：

- 建议看到 “waiting for download” 的信息后再进行下载。
 - 串口打印工具和烧录工具不能同时占用一个串口端口。
-

Chapter 6

相关文档和资源

- 芯片规格书 (PDF)
- 技术参考手册 (PDF)
- 芯片勘误表 (PDF)
- ESP32-C2 系列芯片
- ESP32-C2 系列模组
- ESP32-C2 系列开发板
- 乐鑫 KiCad 仓库
- 乐鑫产品选型工具
- 产品证书
- 论坛 (硬件问题讨论)
- 技术支持

Chapter 7

词汇列表

词汇列表包含了本文档中使用的术语和缩写词。

词汇	描述
CLC	电容-电感-电容
DDR SDRAM	双倍速率同步动态随机存储器
ESD	静电释放
LC	电感-电容
PA	功率放大器
RC	电阻-电容
RTC	实时控制器
SiP	系统封装
0 Ω 电阻	常用作电路设计中的占位符，后续可根据具体设计替换为其他大小的电阻。

Chapter 8

修订历史

8.1 ESP 硬件设计指南 v1.0

这是《ESP 硬件设计指南》首次发布 HTML 版本。在从 PDF 转换为 HTML 格式的过程中，我们对文档进行了一些微小的修改和润色。

如果您需要查看历史版本，请提交文档反馈。

Chapter 9

免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。