ESP32-C61
硬件设计指南

Release master
乐鑫信息科技
2025 年 12 月 26 日

Table of contents

Table of contents i

1 本文档的最新版本 **3**
1.1 关于本文档 . . . 3
1.1.1 简介 . . . 3
1.1.2 请使用最新版本文档 . . . 3
1.2 产品概述 . . . 3
1.3 原理图设计 . . . 4
1.3.1 概述 . . . 4
1.3.2 电源 . . . 5
1.3.3 上电时序与复位 . . . 6
1.3.4 Flash 及 PSRAM . . . 6
1.3.5 时钟源 . . . 7
1.3.6 射频 . . . 9
1.3.7 UART . . . 10
1.3.8 SPI . . . 10
1.3.9 Strapping 管脚 . . . 11
1.3.10 GPIO . . . 12
1.3.11 ADC . . . 13
1.3.12 SDIO . . . 13
1.3.13 USB . . . 13
1.4 PCB 版图布局 . . . 14
1.4.1 基于芯片的版图设计通用要点 . . . 14
1.4.2 电源 . . . 15
1.4.3 晶振 . . . 17
1.4.4 射频 . . . 18
1.4.5 Flash 及 PSRAM . . . 18
1.4.6 UART . . . 20
1.4.7 基于模组的版图设计通用要点（模组在底板上的位置摆放） . . . 21
1.4.8 USB . . . 23
1.4.9 SDIO . . . 23
1.4.10 版图设计常见问题 . . . 23
1.5 下载指导 . . . 24
1.6 相关文档和资源 . . . 24
1.6.1 ESP32-C61 系列模组 . . . 24
1.6.2 ESP32-C61 系列开发板 . . . 25
1.6.3 其他文档和资源 . . . 25
1.7 词汇列表 . . . 25
1.8 修订历史 . . . 25
1.9 免责声明和版权公告 . . . 25

本文档是 ESP32-C61 系列芯片的硬件设计指南。

原理图设计	PCB 版图布局	下载指导	相关文档和资源

Chapter 1

本文档的最新版本

请查看以下链接，以确保使用的是本文档的最新版本：https://docs.espressif.com/projects/esp-hardware-design-guidelines/zh_CN/latest/esp32c61/index.html

1.1 关于本文档

1.1.1 简介

《ESP 硬件设计指南》提供基于 ESP32-C61 芯片的硬件设计的指导规范。这些规范将帮助您提升电路和 PCB 版图设计的准确性，以实现产品的最佳性能。本文的目标读者是硬件设计师和应用开发人员。

本文档的撰写基于您对 ESP32-C61 有一定的了解。如果您对 ESP32-C61 芯片不熟悉，建议您参考 ESP32-C61 芯片规格书 以便更好地理解本文内容。

1.1.2 请使用最新版本文档

点击链接确保您使用的是最新版本的文档：https://docs.espressif.com/projects/esp-hardware-design-guidelines/zh_CN/latest/esp32c61/index.html

1.2 产品概述

ESP32-C61 系列芯片支持以下功能：

- 2.4 GHz Wi-Fi 6
- Bluetooth® 5 (LE)
- 高性能 RISC-V 32 位单核处理器
- 多种外设
- 内置安全硬件

ESP32-C61 采用低功耗 40 纳米工艺，具有超高的射频性能、稳定性、通用性和可靠性，以及超低的功耗，满足不同的功耗需求，适用于各种应用场景。ESP32-C61 的典型应用包括：

- 智能家居
- 工业自动化
- 医疗保健

- 消费电子产品
- 智慧农业
- POS 机
- 服务机器人
- 音频设备
- 通用低功耗 IoT 传感器集线器
- 通用低功耗 IoT 数据记录器

更多关于 ESP32-C61 系列芯片说明请参考 ESP32-C61 系列芯片技术规格书。

备注： 除非特别说明，文中使用的“ESP32-C61”指的是 ESP32-C61 系列芯片，而非单一型号。

1.3 原理图设计

1.3.1 概述

ESP32-C61 系列芯片的核心电路只需要 30 个左右的电阻电容电感和 1 个无源晶振，以及 1 个 SPI flash（封装内或封装外）。为了能够更好地保证 ESP32-C61 系列芯片的工作性能，本章将详细介绍 ESP32-C61 系列芯片的原理图设计。

下图所示为 ESP32-C61 的核心电路参考设计，您可以将它作为您的原理图设计的基础。

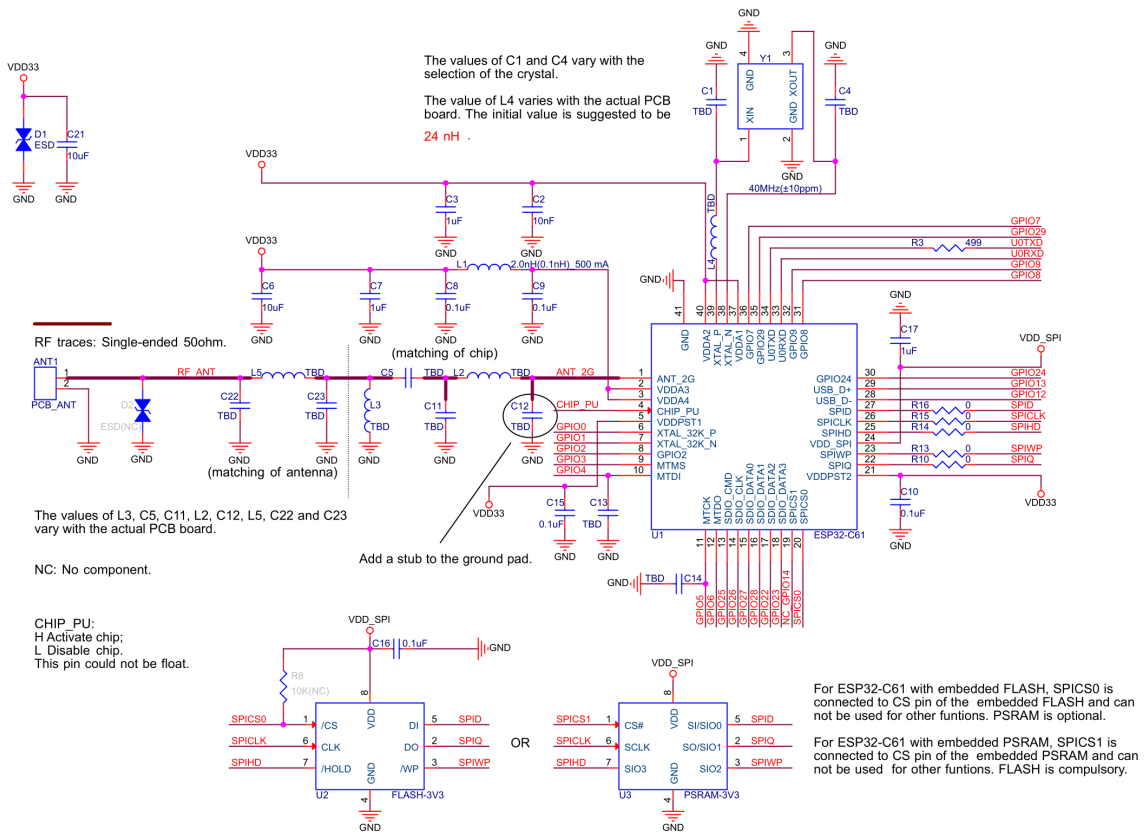

图 1: ESP32-C61 系列芯片参考设计原理图

ESP32-C61 系列芯片的核心电路图的设计有以下重要组成部分：

- *电源*
- *上电时序与复位*
- *Flash 及 PSRAM*
- *时钟源*
- *射频*
- *UART*
- *Strapping 管脚*
- *GPIO*
- *ADC*
- *SPI*
- *SDIO*
- *USB*

下文将分别对这些部分进行描述。

1.3.2 电源

电源电路设计的通用要点有：

- 使用单电源供电时，建议供给 ESP32-C61 的电源电压为 3.3 V，最大输出电流至少 500 mA。
- 建议在总电源入口处添加 ESD 保护器件和至少 10 μF 的大电容。

有关电源管脚的更多信息，请查看 ESP32-C61 系列芯片技术规格书 > 章节 *电源*。

数字电源

ESP32-C61 的管脚 5 VDDPST1 和管脚 30 VDDPST2 为数字电源管脚，工作电压范围为 3.0 V ~ 3.6 V。建议在电路中靠近数字电源管脚处添加 0.1 μF 电容。

管脚 VDD_SPI（管脚 23）作为输出电源时，由 VDDPST2 通过 R_{SPI} 电阻后供电，电压典型值为 3.3 V。因此，VDD_SPI 相对 VDDPST2 会有一定电压降。建议在靠近 VDD_SPI 管脚处添加一个 1 μF 电容。

VDD_SPI 也可以连接到外部电源，由外部电源输入供电。

当 VDD_SPI 无需为外部供电时，亦可作为 GPIO 使用。

推荐使用 VDD_SPI 输出电源给封装外或封装内 flash/PSRAM 供电。

> **注意：** 当使用 VDD_SPI 给封装内或封装外的 3.3 V flash/PSRAM 供电时，考虑到上面提到的电压降，为了满足 flash/PSRAM 的工作电压要求，请保证 VDDPST2 在 3.0 V 以上。

模拟电源

ESP32-C61 的 VDDA1 至 VDDA4 管脚为模拟电源管脚，工作电压范围为 3.0 V ~ 3.6 V。

对于 VDDA3 和 VDDA4，当 ESP32-C61 工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在 VDDA3 和 VDDA4 的电源走线上增加一个 10 μF 电容，该电容可与 1 μF 电容或其他电容搭配使用。

建议在总电源入口添加另一个 10 μF 电容。如果总电源入口靠近 VDDA3 和 VDDA4，可以合并仅使用一个 10 μF 电容。

另外，在靠近 VDDA3 和 VDDA4 处还需添加 LC 滤波电路，用于抑制高频谐波，同时请注意该电感的额定电流最好在 500 mA 及以上。

其余电容电路请参考*ESP32-C61 系列芯片参考设计原理图*。

1.3.3 上电时序与复位

ESP32-C61 的 CHIP_PU 管脚为高电平时使能芯片，为低电平时复位芯片。

当 ESP32-C61 使用 3.3 V 系统电源供电时，电源轨需要一些时间才能稳定，之后才能拉高 CHIP_PU，激活芯片。因此，CHIP_PU 管脚上电要晚于系统电源 3.3 V 上电。

复位芯片时，复位电压 V_{IL_nRST} 范围应为 (–0.3 ~ 0.25 × VDDPST1) V。为防止外界干扰引起重启，CHIP_PU 管脚引线需尽量短一些。

图*ESP32-C61 系列芯片上电和复位时序图* 为 ESP32-C61 系列芯片的上电、复位时序图。

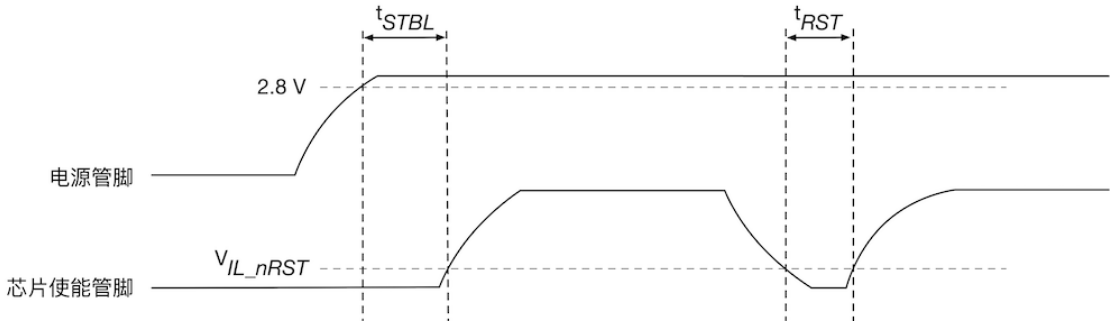

图 2: ESP32-C61 系列芯片上电和复位时序图

上电和复位时序参数说明见表*上电和复位时序参数说明*。

表 1: 上电和复位时序参数说明

参数	说明	最小值 (μs)
t_{STBL}	CHIP_PU 管脚上电晚于电源管脚上电的延时时间	50
t_{RST}	CHIP_PU 电平低于 V_{IL_nRST} 从而复位芯片的时间	50

注意:

- CHIP_PU 管脚不可浮空。
- 为确保芯片上电和复位时序正常，一般采用的方式是在 CHIP_PU 管脚处增加 RC 延迟电路。RC 通常建议为 R = 10 kΩ，C = 1 μF，但具体数值仍需根据实际的电源特性配合芯片的上电、复位时序进行调整。
- 如果应用中存在以下场景：
  - 电源缓慢上升或下降，例如电池充电；
  - 需要频繁上下电的操作；
  - 供电电源不稳定，例如光伏发电。

  此时，仅仅通过 RC 电路不一定能满足时序要求，有概率会导致芯片无法进入正常的工作模式。此时，需要增加一些额外的电路设计，比如：
  - 增加复位芯片或者看门狗芯片，通常阈值为 3.0 V 左右；
  - 通过按键或主控实现复位等。

1.3.4 Flash 及 PSRAM

ESP32-C61 系列芯片需配合封装内或封装外 flash 一起使用，用于存储应用的固件和数据。封装内 PSRAM 和封装外 PSRAM 非必需。

封装内 Flash 及 PSRAM

下面的表格列出了 ESP32-C61 与封装内 flash/PSRAM 的管脚对应关系。请注意这些芯片管脚最多连接一个 flash 和一个 PSRAM，即当封装内仅有 flash 时，被 flash 占用的管脚只能再连接一个 PSRAM，不能用

于其他功能；封装内仅有 PSRAM 时，被 PSRAM 占用的管脚只能再连接一个 flash；封装内同时有 flash 和 PSRAM 时，被占用的管脚不能再连接 flash 或 PSRAM。

表 2: ESP32-C61 芯片与封装外 flash 的管脚对应关系[1]

管脚序号	管脚名称	单线 SPI Flash	双线 SPI Flash	四线 SPI Flash
26	SPICLK	CLK	CLK	CLK
20	SPICS0[2]	CS#	CS#	CS#
27	SPID	MOSI	SIO0[3]	SIO0
22	SPIQ	MISO	SIO1	SIO1
23	SPIWP	WP#		SIO2
25	SPIHD	HOLD#		SIO3

表 3: ESP32-C61 芯片与封装外 PSRAM 的管脚对应关系[4]

管脚序号	管脚名称	单线 SPI PSRAM	四线 SPI PSRAM
26	SPICLK	CLK	CLK
19	SPICS1[5]	CE#	CE#
27	SPID	SI[6]	SIO0
22	SPIQ	SO[7]	SIO1
23	SPIWP		SIO2
25	SPIHD		SIO3

封装外 flash 及 PSRAM

为了减少软件适配的风险，推荐使用乐鑫官方适配过的 flash 和 PSRAM 型号，具体选型请咨询商务或者技术团队。建议如图*ESP32-C61 系列芯片参考设计原理图* 所示在 SPI 线上预留 0 Ω 串联电阻，以便在需要时进行灵活调整，实现降低驱动电流、减小对射频的干扰、调节时序、提升抗干扰能力等功能。

1.3.5 时钟源

ESP32-C61 外部可以有两个时钟源：

- *外置主晶振时钟源（必选）*
- *RTC 时钟源（可选）*

外置主晶振时钟源（必选）

目前 ESP32-C61 系列芯片固件仅支持 40 MHz 晶振。

ESP32-C61 的无源晶振部分电路如图*ESP32-C61 系列芯片无源晶振电路图*。注意，选用的无源晶振自身精度需在 ±10 ppm。

XTAL_P 时钟走线上请放置一个串联元器件，初始建议使用 24 nH 电感，用来减弱晶振高频谐波对射频性能的影响，最终值需要通过测试后确认。

外部匹配电容 C1 和 C2 的初始值可参考以下公式来决定：

$$C_L = \frac{C1 \times C2}{C1 + C2} + C_{stray}$$

[1] 仅当芯片内部未封装 flash 时，才可外接 flash
[2] SPICS0 用于访问 flash
[3] SIO：串行输入输出 (Serial Data Input and Output)
[4] 仅当芯片内部未封装 PSRAM 时，才可以外接 PSRAM，如果不外接 PSRAM，这些管脚不可以用作 GPIO 管脚
[5] SPICS1 用于访问 PSRAM
[6] SI：串行输入 (Serial Data Input)，功能等同 MOSI
[7] SO：串行输出 (Serial Data Output)，功能等同 MISO

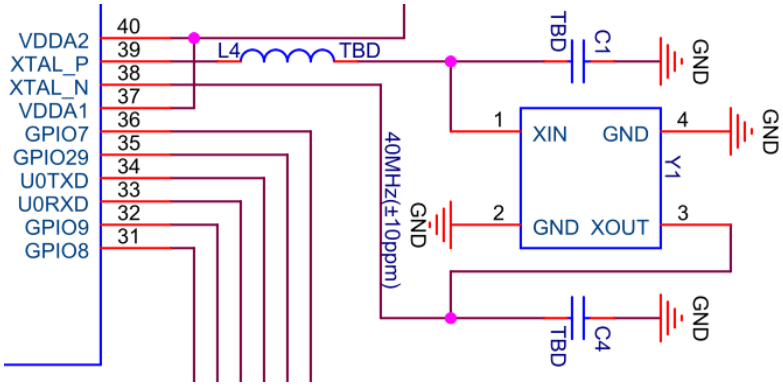

图 3: ESP32-C61 系列芯片无源晶振电路图

其中 C_L （负载电容）的值可查看所选择晶振的规格书，C_{stray} 的值为 PCB 的寄生电容。C1 和 C2 的最终值需要通过对系统测试后进行调节确定。调试方法如下：

1. 通过 认证测试工具，选择 TX tone 模式。
2. 使用综测仪或者频谱仪查看 2.4 GHz 信号，解调得到实际频偏。
3. 通过调整外置负载电容，把频偏调整到 ±10 ppm（建议）以内。

- 当中心频率偏正时，说明等效负载电容偏小，需要增加外置负载电容。
- 当中心频率偏负时，说明等效负载电容偏大，需要减小外置负载电容。
- 通常两个外置负载电容相等，在特殊情况下，也可以有略微差异。

备注:

- 尽管 ESP32-C61 内部带有自校准功能，但是自身频偏过大（例如大于 ±10 ppm）、工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。
- 建议晶振的幅值大于 500 mV。
- 如果出现功能性的 Wi-Fi 或蓝牙无法连接，排除软件原因后，可以采用上文中的方法，通过调节晶振的电容来保证频偏满足要求。

RTC 时钟源（可选）

ESP32-C61 支持外置 32.768 kHz 的无源晶振作为 RTC 时钟。使用外部 RTC 时钟源是为了使时间更准确，从而降低平均功耗，但对于功能没有任何影响。

外置 32.768 kHz 无源晶振的电路如图*ESP32-C61 系列芯片外置 32.768 kHz 无源晶振电路图* 所示。

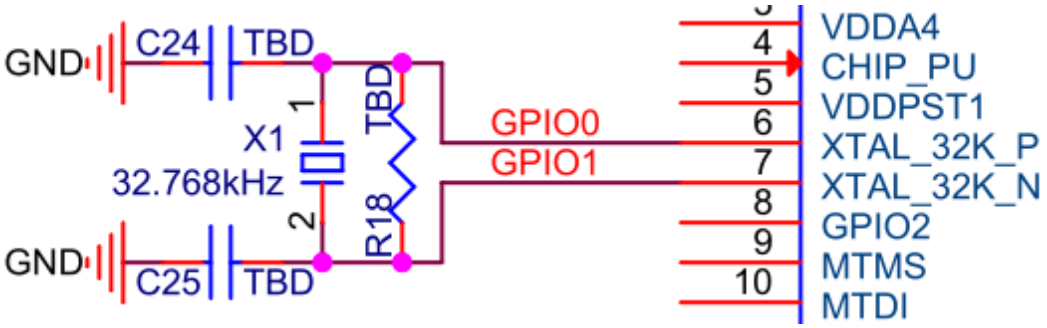

图 4: ESP32-C61 系列芯片外置 32.768 kHz 无源晶振电路图

请注意 32.768 kHz 晶振选择要求：

- 等效内阻 (ESR) ≤ 70 kΩ。
- 两端负载电容值根据晶振的规格要求进行配置。

并联电阻 R 用于偏置晶振电路，电阻值要求 5 MΩ < R ≤ 10 MΩ。

该电阻必须上件。

如果不需要该 RTC 时钟源，则 32.768 kHz 晶振的管脚也可配置为通用 GPIO 口使用。

1.3.6 射频

射频电路

ESP32-C61 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及其匹配电路。各部分电路应满足以下设计规范：

- PCB 板射频走线：需进行 50 Ω 阻抗控制。
- 芯片匹配电路：请尽量靠近芯片放置，优先采用 CLCCL 结构。
  - CLCCL 结构构成带通滤波器，主要用来调整阻抗点，抑制高频谐波及抑制低频噪声。
  - 芯片匹配电路如图*ESP32-C61 系列芯片射频匹配电路图* 所示。
- 天线及其匹配电路：为保证辐射性能，建议天线的输入阻抗为 50 Ω 左右。为保险起见，推荐在靠近天线位置增加一组 CLC 匹配电路，用于调节天线的输入阻抗。如果经过仿真可以确保天线阻抗点为 50 Ω 左右，并且空间较小，则可以不加天线端的匹配电路。
- 建议在天线端预留 ESD 保护器件用于抵抗静电干扰。

备注： 如果有进行 FCC/NCC 认证的计划，建议在 GPIO4 和 GPIO5 上预留对地电容，以有效抑制谐波干扰。对于不涉及此类认证的客户，可无需预留。如果使用 ESP32-C61-WROOM-1U 模组的 ANT2，请在 ANT2 管脚处添加 CLC 电路用来抑制低频噪声。

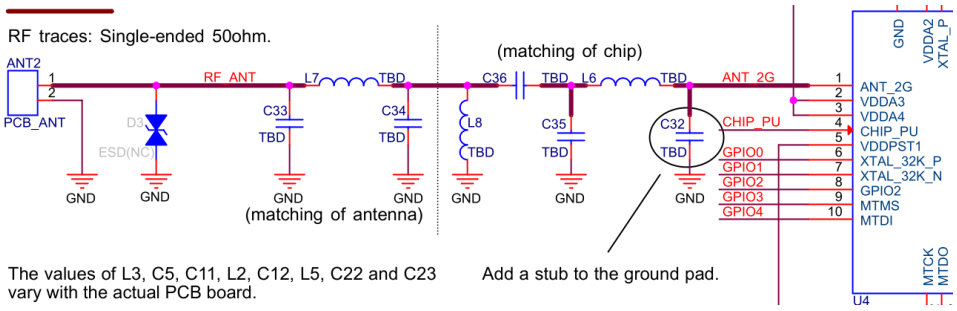

图 5: ESP32-C61 系列芯片射频匹配电路图

射频调试

射频匹配网络的参数值和 PCB 板有关，不要直接使用模组的匹配值，须按照下述射频调试进行确认。

图*ESP32-C61 射频调试示意图* 展示了射频调试的大概过程。

将芯片匹配电路靠近芯片的端口定义为端口 1，将其靠近天线的端口定义为端口 2，则 S11 用来描述从端口 1 反射回来的信号功率与输入信号功率之比，如果匹配阻抗与芯片阻抗共轭，则传输性能最佳。S21 用来描述从端口 1 到端口 2 的信号功率传输损耗。如果 S11 接近芯片共轭阻抗点 35+j0，且 S21 在 4.8 GHz 和 7.2 GHz 频率下小于 -35 dB，则匹配电路可满足传输要求。

将芯片匹配电路的两端分别接到综测仪上，测试其信号反射参数 S11 及传输参数 S21。调试该匹配电路中元件的数值，直至 S11 和 S21 满足上述要求。如果芯片的 PCB 板严格设计遵循章节*PCB 版图布局* 里的规范，用户可以参考表*匹配电路元器件推荐数值范围* 来调试该匹配电路。

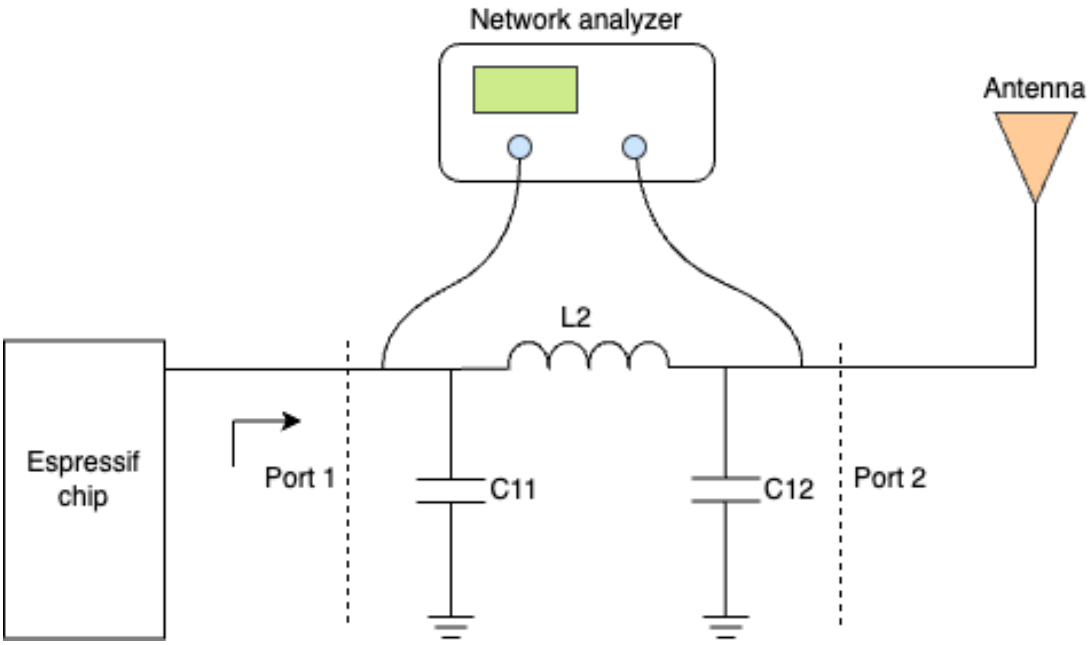

图 6: ESP32-C61 射频调试示意图

表 4: 匹配电路元器件推荐数值范围

位号	推荐数值范围	物料编号
C11	1.2 ~ 1.8 pF	GRM0335C1H1RXBA01D
L2	2.4 ~ 3.0 nH	LQP03TN2NXB02D
C12	1.8 ~ 1.2 pF	GRM0335C1H1RXBA01D

射频匹配器件请采用 0201 物料，芯片端匹配电路的第一个电容需要添加枝节。

备注： 如果不需要射频功能，建议不要在固件中初始化射频堆栈。此时，射频管脚可以悬空。如果启用射频功能，请确保已连接天线，否则可能导致系统不稳定或射频电路损坏。

1.3.7 UART

ESP32-C61 有 3 个 UART 接口，即 UART0、UART1 和 UART2。U0TXD 和 U0RXD 默认为 GPIO11 和 GPIO10，其他 UART 信号可以通过软件配置到任意空闲的 GPIO 管脚上。

UART0 通常作为下载和 log 打印的串口。关于如何使用 UART0 进行下载，请参考章节下载指导。U0TXD 线上建议串联 499 Ω 电阻用于抑制谐波。

推荐使用其他 UART 作为通信的串口，同样在 TX 线上建议预留串联电阻用于抑制谐波。

1.3.8 SPI

在使用 SPI 功能时，为了提高 EMC 性能，请在 SPI_CLK 线上添加串联电阻（或磁珠）以及对地电容。如果空间允许，建议在其他 SPI 线上也添加串联电阻和对地电容。另外，请确保 RC/LC 器件靠近芯片或模组的管脚放置。

1.3.9 Strapping 管脚

芯片每次上电或复位时，都需要一些初始配置参数，如加载芯片的启动模式等。这些参数通过 strapping 管脚控制。复位放开后，strapping 管脚和普通 IO 管脚功能相同。

GPIO7、GPIO8、GPIO9、MTMS 和 MTDI 为 strapping 管脚。

所有的 strapping 管脚信息，可参考 ESP32-C61 系列芯片技术规格书 > 章节 *启动配置项*。

下面主要介绍和启动模式有关的 strapping 管脚信息。

芯片复位释放后，GPIO8 和 GPIO9 共同决定启动模式，详见表*芯片启动模式控制*。

表 5: 芯片启动模式控制

启动模式	GPIO8	GPIO9
SPI Boot（默认）	任意值	1
Joint Download Boot	1	0

Joint Download Boot 模式下支持以下下载方式：

- USB-Serial-JTAG Download Boot
- UART Download Boot
- SPI Slave 2.0 Download Boot

Strapping 管脚的时序参数包括 *建立时间* 和 *保持时间*。更多信息，详见图*Strapping 管脚的时序参数图* 和表*Strapping 管脚的时序参数说明*。

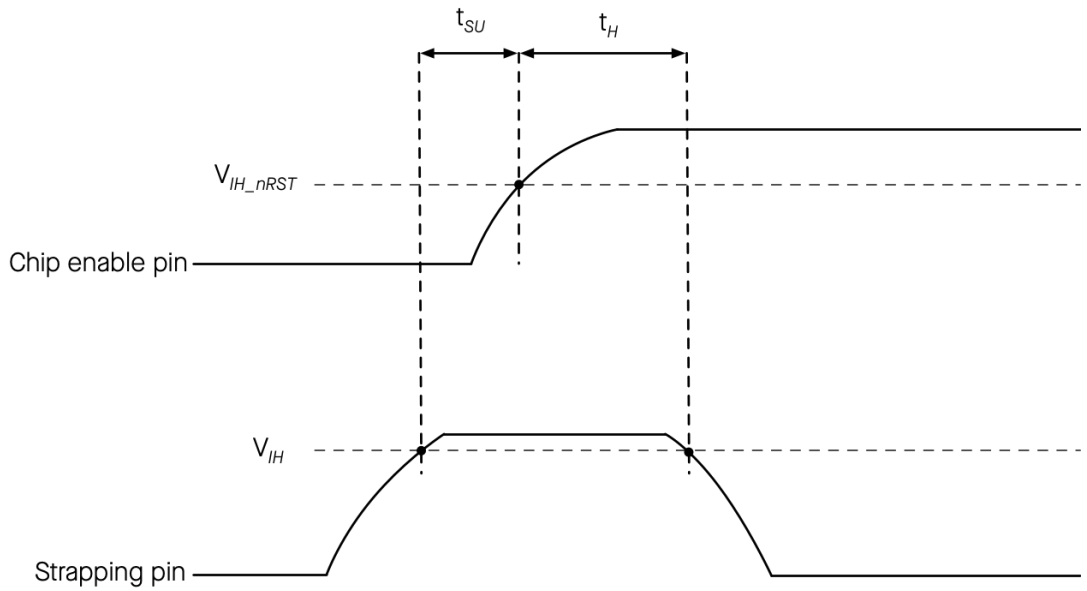

图 7: Strapping 管脚的时序参数图

表 6: Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
t_H	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

注意:

- 建议在 GPIO9 管脚处预留上拉电阻。
- 不要在 GPIO9 管脚处添加较大的电容，可能会导致进入下载模式。

1.3.10 GPIO

ESP32-C61 系列芯片通过 IO MUX 表格或者 GPIO 交换矩阵来配置 GPIO。IO MUX 是默认的外设管脚配置（详见 ESP32-C61 系列芯片技术规格书 > 附录 *ESP32-C61 管脚总览*），GPIO 交换矩阵用于将可以配置的外设信号传输至 GPIO 管脚。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考 ESP32-C61 技术参考手册 > 章节 *IO MUX 和 GPIO 交换矩阵*。

部分外设的 GPIO 管脚是固定的，部分是可以任意配置的，具体信息请参考 ESP32-C61 系列芯片技术规格书 > 章节 外设。

使用 GPIO 时，请注意：

- Strapping 管脚的上电状态。
- 请注意 GPIO 复位后的默认配置，详见下表。建议对处于高阻态的管脚配置上拉或下拉，或在软件初始化时开启管脚自带的上下拉，以避免不必要的耗电。
- 避免使用 flash/PSRAM 占用的管脚。
- Deep-sleep 模式下只能控制 LP GPIO, 即下表中供电管脚为 VDDPST1 的 GPIO。

表 7: IO 管脚默认配置

管脚序号	管脚名称	供电管脚	复位时	复位后
6	XTAL_32K_P	VDDPST1		
7	XTAL_32K_N	VDDPST1		
8	GPIO2	VDDPST1		
9	MTMS	VDDPST1	IE	IE
10	MTDI	VDDPST1	IE	IE
11	MTCK	VDDPST1		IE
12	MTDO	VDDPST1		IE
13	SDIO_CMD	VDDPST2		IE
14	SDIO_CLK	VDDPST2		IE
15	SDIO_DATA0	VDDPST2		IE
16	SDIO_DATA1	VDDPST2		IE
17	SDIO_DATA2	VDDPST2		IE
18	SDIO_DATA3	VDDPST2		IE
19	SPICS1	VDD_SPI/VDDPST2		
20	SPICS0	VDD_SPI/VDDPST2		
22	SPIQ	VDD_SPI/VDDPST2		
23	SPIWP	VDD_SPI/VDDPST2		
24	VDD_SPI	VDDPST2		
25	SPIHD	VDD_SPI/VDDPST2		
26	SPICLK	VDD_SPI/VDDPST2		
27	SPID	VDD_SPI/VDDPST2		
28	USB_D-	VDDPST2		IE
29	USB_D+	VDDPST2	USB_PU	IE,USB_PU
30	GPIO24	VDDPST2		
31	GPIO8	VDDPST2	IE	IE
32	GPIO9	VDDPST2	IE,WPU	IE,WPU
33	U0RXD	VDDPST2		IE,WPU
34	U0TXD	VDDPST2		IE,WPU
35	GPIO29	VDDPST2		
36	GPIO7	VDDPST2	IE	IE

- IE –输入使能
- WPU –内部弱上拉电阻使能
- USB_PU –USB 上拉电阻使能

1.3.11 ADC

使用 ADC 功能时，请靠近管脚添加 0.1 μF 的对地滤波电容，精度会更准确一些。

ADC GPIO 详见下表。

表 8: ADC 功能

管脚序号	IO 管脚名称	ADC 功能
7	XTAL_32K_N	ADC1_CH0
9	MTMS	ADC1_CH1
10	MTDI	ADC1_CH2
11	MTCK	ADC1_CH3

ADC 经硬件校准和 软件校准 后的结果如以下列表所示。如需更高的精度，可选用其他方法自行校准。

- 当 ATTEN=0，有效测量范围为 0 ~ 1000 mV 时，总误差为 ±10 mV。
- 当 ATTEN=1，有效测量范围为 0 ~ 1300 mV 时，总误差为 ±10 mV。
- 当 ATTEN=2，有效测量范围为 0 ~ 1900 mV 时，总误差为 ±12 mV。
- 当 ATTEN=3，有效测量范围为 0 ~ 3300 mV 时，总误差为 ±15 mV。

1.3.12 SDIO

ESP32-C61 系列芯片只有一个 SDIO 从机控制器，符合工业标准 SDIO 2.0 规格。SDIO GPIO 是固定的，即 SDIO_CMD、SDIO_CLK、SDIO_DATA0、SDIO_DATA1、SDIO_DATA2 和 SDIO_DATA3。请在 SDIO GPIO 管脚处添加上拉电阻，建议每根线上预留一个串联电阻。

1.3.13 USB

ESP32-C61 系列芯片集成了一个 USB 串口/JTAG 控制器，作为兼容 USB 2.0 全速模式的设备。

GPIO12 和 GPIO13 可以分别作为 USB 的 D- 和 D+，线上建议预留串联电阻（初始值可为 22/33 Ω）和对地电容（初始可不上件），并注意靠近芯片端放置。

USB RC 电路如图*ESP32-C61 系列芯片 USB RC 电路图* 所示。

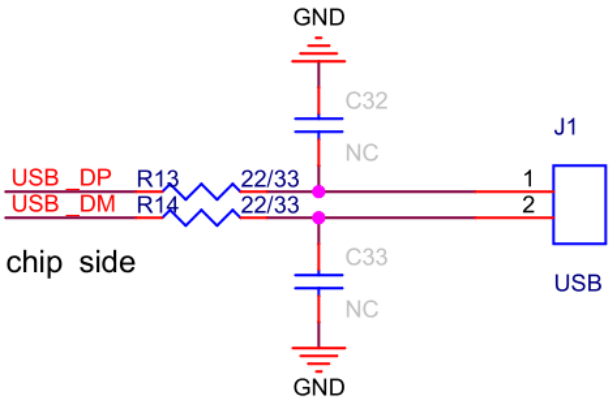

图 8: ESP32-C61 系列芯片 USB RC 电路图

请注意 USB_D+ 管脚上电时会输出高低电平信号，其中高电平的状态比较强，需要较强的下拉才可以拉低。因此，如果需要一个稳定的初始状态，建议添加外部上拉来提供稳定的高电平初始值。

ESP32-C61 系列芯片也支持通过 USB 进行下载和 log 打印，下载指导请参考章节下载指导。

1.4 PCB 版图布局

本章节将以 ESP32-C61 模组的 PCB 布局为例（见图*ESP32-C61 模组版图参考设计*），介绍 ESP32-C61 系列芯片的 PCB 布局设计要点。

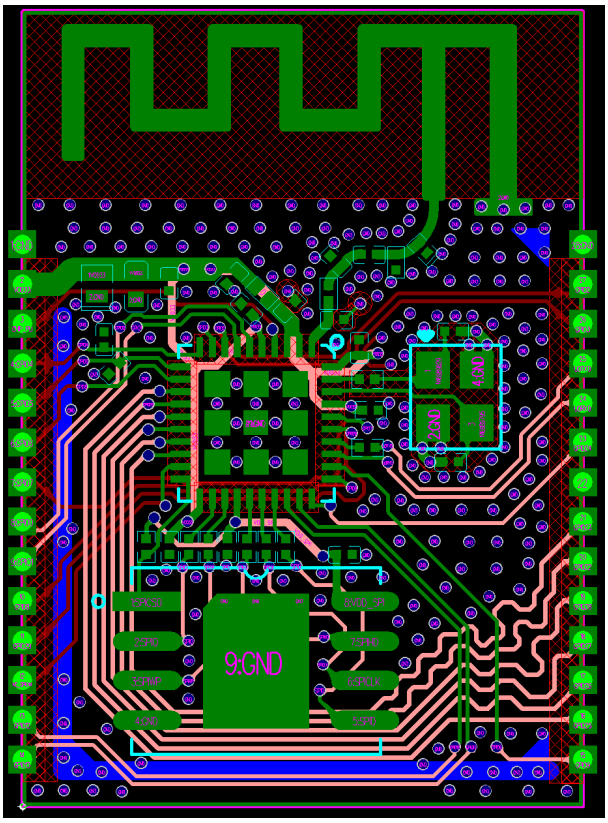

图 9: ESP32-C61 模组版图参考设计

1.4.1 基于芯片的版图设计通用要点

建议采用四层板设计，即：

- 第一层（顶层），主要用于走信号线和摆件。
- 第二层（地层），不走信号线，保证一个完整的地平面。
- 第三层（电源线层），铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，将电源走在该层，可适度走信号线。
- 第四层（底层），不建议摆件，可适度走信号线。

如采用两层板设计：

- 第一层（顶层），主要用于摆件和走线。
- 第二层（底层），不要摆件，走线也越少越好，保证射频、晶振和芯片有一个完整的地平面。

1.4.2 电源

四层板设计

图*ESP32-C61 系列芯片四层板电源设计* 所示为四层板设计的电源走线。

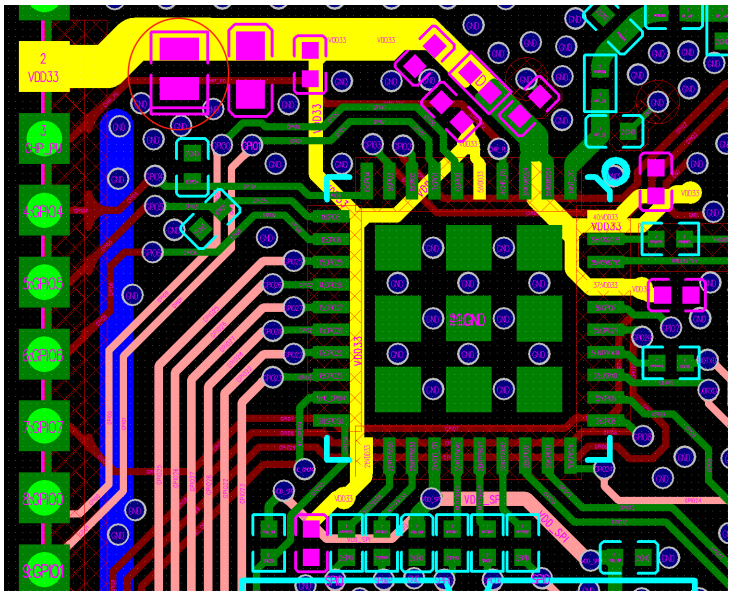

图 10: ESP32-C61 系列芯片四层板电源设计

- 推荐优先采用四层板设计。电源走线请尽量走在内层（非地层），通过过孔连接至芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图*ESP32-C61 系列芯片四层板电源设计* 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 25 mil。模拟电源管脚 2 和 3 处的 VDDA3 和 VDDA4 分支走线建议至少 20 mil。其他分支电源走线建议 10 mil。电源走线周围注意包地良好。
- 图*ESP32-C61 系列芯片四层板电源设计* 中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 µF 电容。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。
- 管脚 2、3 处电源因为是射频相关电源，请在管脚上添加一个 10 µF 电容。该电容可再与一个 0.1/1 µF 电容搭配使用。
- 请靠近管脚 2、3 添加 CLC/LC 滤波电路用于抑制高频谐波。该电源可以考虑 45 度出线的方式，拉开和旁边射频走线之间的距离。除了 10 uF 电容，其余器件推荐使用 0201 封装，这样可以把管脚 2、3 的滤波电路放的更靠近管脚，能够和周围的射频、GPIO 之间添加 GND 隔离，并尽量能放置地孔。使用了 0201 封装，可以在靠近芯片的第一个电容上加一段枝节到底层，其余层做 keep-out 隔离处理，可以进一步抑制谐波干扰，详见图*ESP32-C61 系列管脚 2、3 电源设计*。

- 其他每个电源管脚上请放置合适的去耦电容。去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。
- 芯片下方的地焊盘需要至少打九个地孔连接到地平面。
- 芯片及其外围电路的器件地焊盘，建议和地铺铜充分接触，不要用走线连接。
- 如图*ESP32-C61 系列芯片四层板电源设计* 所示，如需在模组背面添加散热焊盘 EPAD，建议采用多宫格设计，间隙处盖防焊油墨，地孔打在间隙处。这样可以有效改善模组 EPAD 焊接至底板时的漏锡问题。

两层板设计

图*ESP32 芯片两层板电源设计* 所示为两层板设计的电源走线。

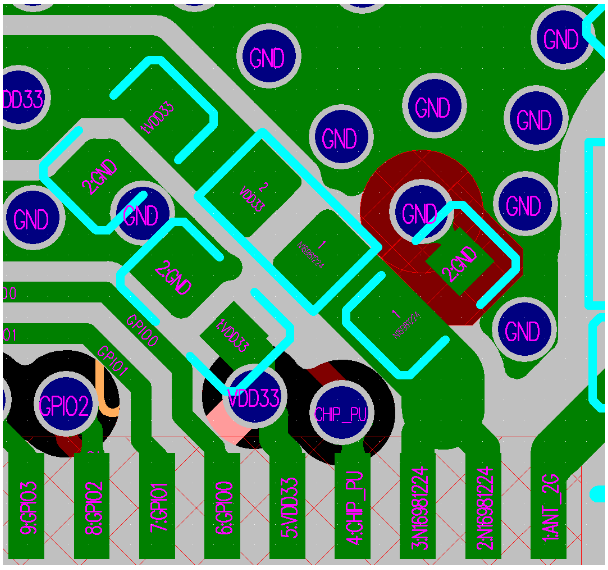

图 11: ESP32-C61 系列管脚 2、3 电源设计

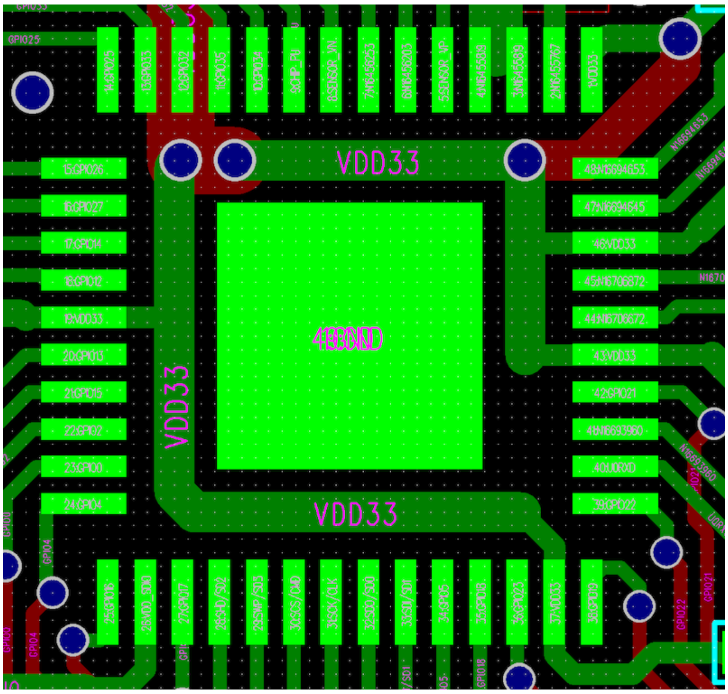

图 12: ESP32 芯片两层板电源设计

- 如采用两层板设计，请一定保证芯片、射频和晶振有一个完整的参考地，可以参考上图。
- 上图中属性为 VDD33 的走线即为 3.3 V 电源走线。与四层板设计不同的是，电源走线需尽可能走在顶层。故需要将芯片中间的散热焊盘缩小，电源走在四周信号管脚与散热焊盘之间，只在不得不换层的位置，打孔至底层穿一段走线。
- 其他注意事项与四层板一致。
- 请注意官方模组没有两层板模组，上图以 ESP32 模组为例。

1.4.3 晶振

图*ESP32-C61 系列芯片晶振设计（顶层有 keep-out）* 为晶振通过通孔连接到地平面，但是顶层通过设置 keep-out 和地隔离开的参考设计图。

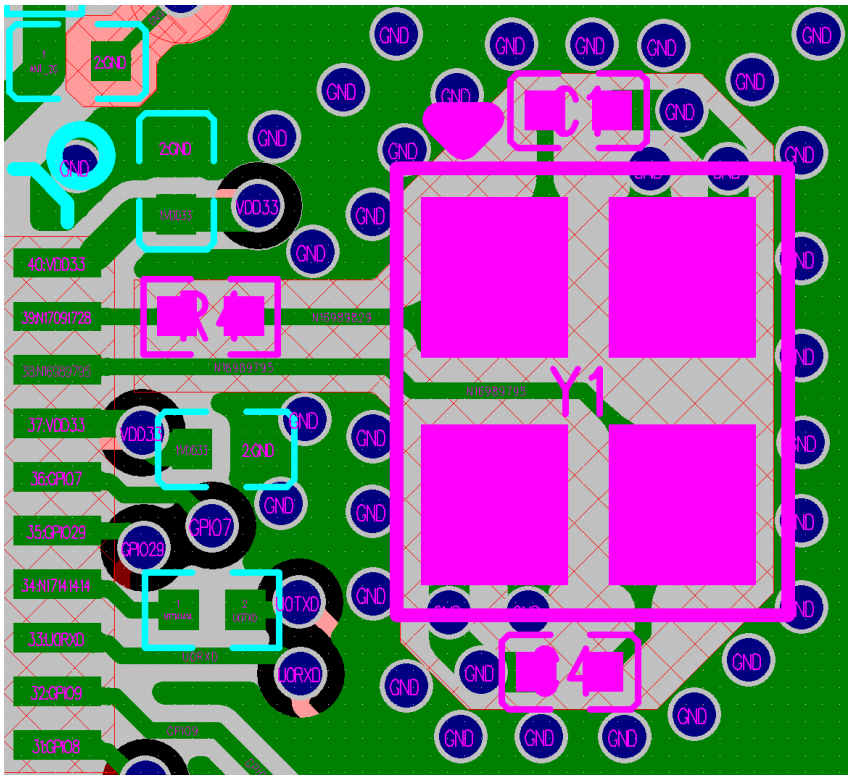

图 13: ESP32-C61 系列芯片晶振设计（顶层有 keep-out）

如果顶层的地很充分，建议顶层设置 keep-out 和地隔离开，既可以减小寄生电容，也可以抑制温度传导，以防影响频偏。如果不充分，建议不设置 keep-out，和地充分接触。

晶振设计应遵循以下规范：

- 需要保证射频、晶振和芯片有一个完整的地平面。
- 晶振需离芯片时钟管脚稍远一些放置，防止晶振干扰到芯片。间距应至少为 2.4 mm。同时晶振走线须用地包起来，周围用密集的地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线。
- 晶振上的串联元器件请靠近芯片放置。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，不可直接连接在串联元器件上。电容尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方都不能走高频数字信号，最好是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧尽可能包地。
- 晶振为敏感器件，晶振周围不能放置磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

1.4.4 射频

图*ESP32-C61 系列芯片四层板射频部分版图设计* 中粉色高亮走线即为射频走线。

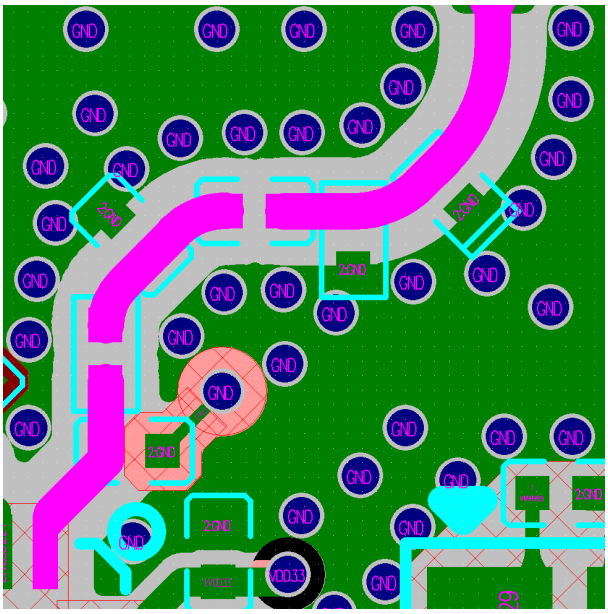

图 14: ESP32-C61 系列芯片四层板射频部分版图设计

射频版图设计应遵循以下规范：

- 射频走线需做 50 Ω 阻抗控制，参考平面为芯片邻层。射频走线在做 50 Ω 阻抗控制时，可参考下图所示的 PCB 叠层结构设计。

- 射频走线上需预留一个 CLCCL 匹配电路。请使用 0201 器件，把匹配器件靠近管脚放置，并呈 Z 字型摆放。也就是说两个电容勿朝同一方向，以减少互相干扰。
- CLCCL 匹配电路中靠近芯片侧的对地电容上请添加一段枝节，以有效抑制二次谐波。枝节的长度建议为 15 mil，线宽根据 PCB 叠层结构进行确定，确保枝节的特征阻抗为 100 Ω ± 10%。此外，枝节地孔与第三层相连，第一、二层做 keep-out 隔离处理。下图*ESP32-C61 系列芯片四层板射频枝节设计* 中的高亮走线即为枝节。当 CLCCL 匹配电路元器件封装为 0402 或者更大时，则无需做枝节处理。
- IPEX 天线连接器下方建议全部层净空，详见图*ESP32-C61 系列芯片 IPEX 版图设计*。
- PCB 天线请注意需要经过仿真和实际开发板测试。建议额外增加一组 CLC 匹配电路用于调节天线，该电路需尽可能地靠近天线端。

- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR SDRAM、高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

1.4.5 Flash 及 PSRAM

Flash 及 PSRAM 的设计应遵循以下规范：

厚度 (mm)	阻抗 (Ohm)	铜距 (mil)	线宽 (mil)	铜距 (mil)
-	50	12.2	12.6	12.2

叠层	材质	基铜厚 (oz)	成品层厚 (mil)	介电常数
阻焊层			0.4	4
L1_Top	成品铜厚 1 oz	0.33	0.8 (Min)	
PP	7628 TG150 RC50%		8.22	4.6
L2_Gnd		1	1.2	
Core	芯板		可调	4.6
L3_Power		1	1.2	
PP	7628 TG150 RC50%		8.22	4.6
L4_Bottom	成品铜厚 1 oz	0.33	0.8 (Min)	
阻焊层			0.4	4

图 15: ESP32-C61 系列芯片 PCB 叠层结构设计

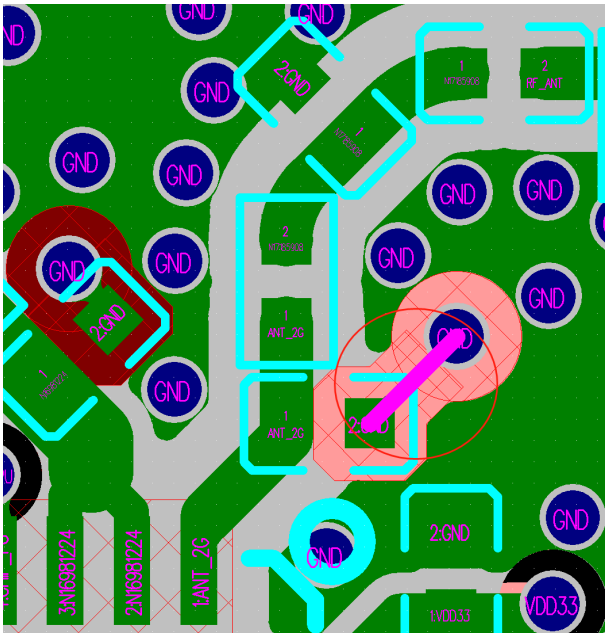

图 16: ESP32-C61 系列芯片四层板射频枝节设计

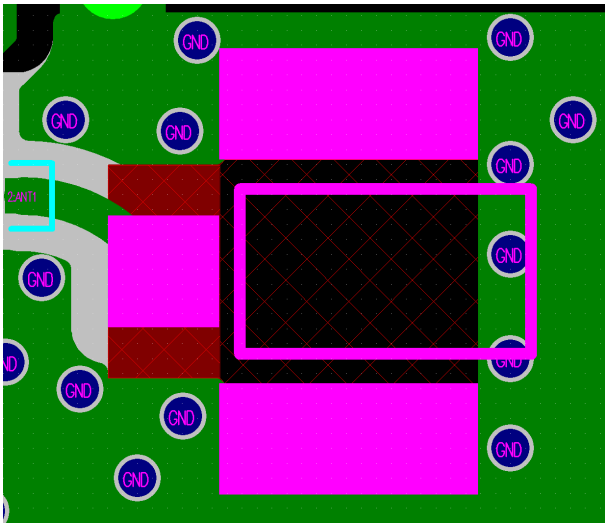

图 17: ESP32-C61 系列芯片 IPEX 版图设计

- SPI 通信线上预留的 0 Ω 串联电阻请靠近 ESP32-C61 侧放置。
- SPI 走线请尽可能地走到内层（例如第三层），并且时钟及数据走线都单独进行包地处理。
- 如果 flash 和 PSRAM 距离 ESP32-C61 较远，建议在 VDD_SPI 电源、flash 和 PSRAM 电源处都放置合适的去耦电容。

图*ESP32-C61 系列芯片 Quad SPI Flash 版图设计* 所示为 quad flash 版图设计。

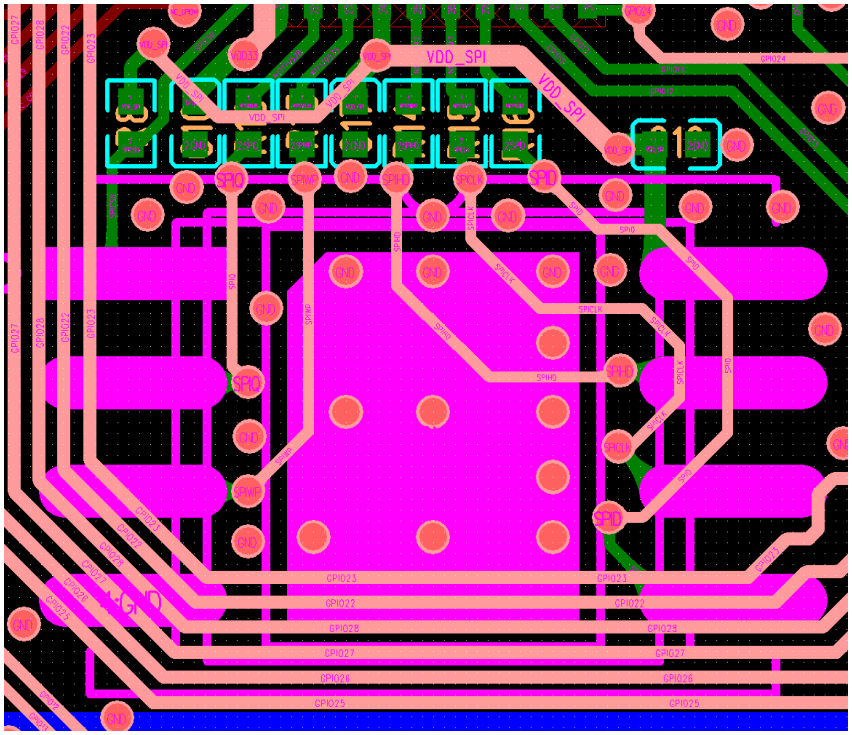

图 18: ESP32-C61 系列芯片 Quad SPI Flash 版图设计

1.4.6 UART

图*ESP32-C61 系列芯片 UART 版图设计* 所示为 UART 版图设计。

UART 版图设计应遵循以下规范：

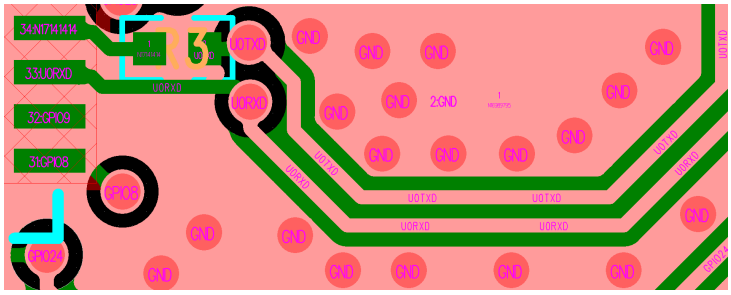

图 19: ESP32-C61 系列芯片 UART 版图设计

- U0TXD 线上的串联电阻请靠近芯片侧并远离晶振放置。
- U0TXD、U0RXD 在顶层的走线需尽量短。
- UART 走线两侧请注意包地处理，周围加地孔屏蔽。

1.4.7 基于模组的版图设计通用要点（模组在底板上的位置摆放）

如使用模组进行板上 (on-board) 设计，需注意模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组天线区域伸出板边，馈点靠近底板板边放置。在下面模组摆放位置图中，✓ 代表强烈推荐的摆放位置，其他位置不推荐。

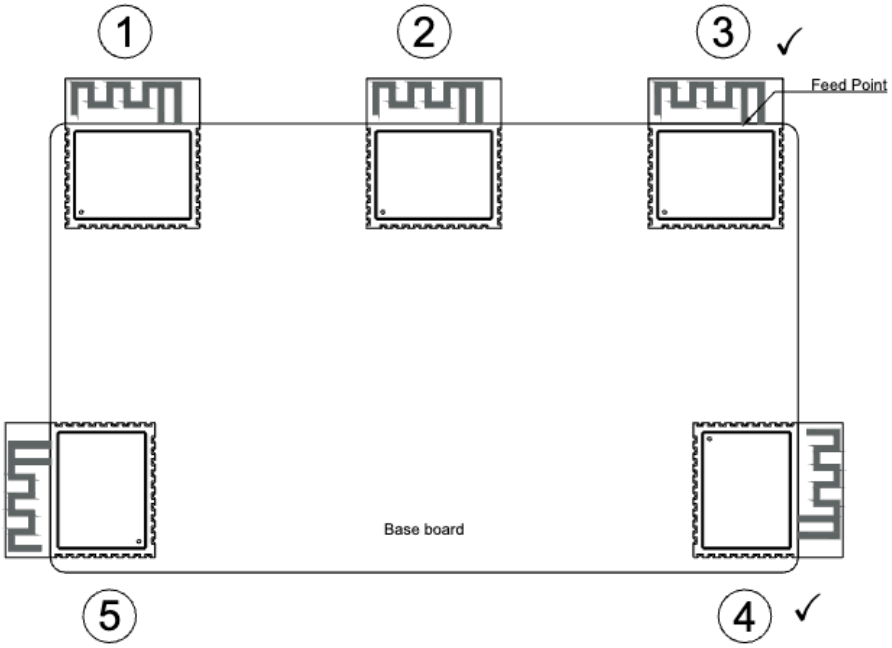

图 20: ESP32-C61 系列模组 (天线馈点在右侧) 在底板上的位置示意图

如果天线无法伸出板边，请保证给 PCB 天线一个足够大的净空区域（严禁铺铜、走线、摆放元件），该净空区域建议至少 15 mm（所有方向上都是）。PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影响。馈点尽量靠近板边放置。图*ESP32-C61 天线区域净空示意图* 以馈点在右侧的模组为例，画出了建议的净空区。

涉及整机设计时，请注意考虑外壳对天线的影响，并进行 RF 验证。请注意最终仍需要对整机产品进行吞吐量和通讯距离等测试来确保产品射频性能。

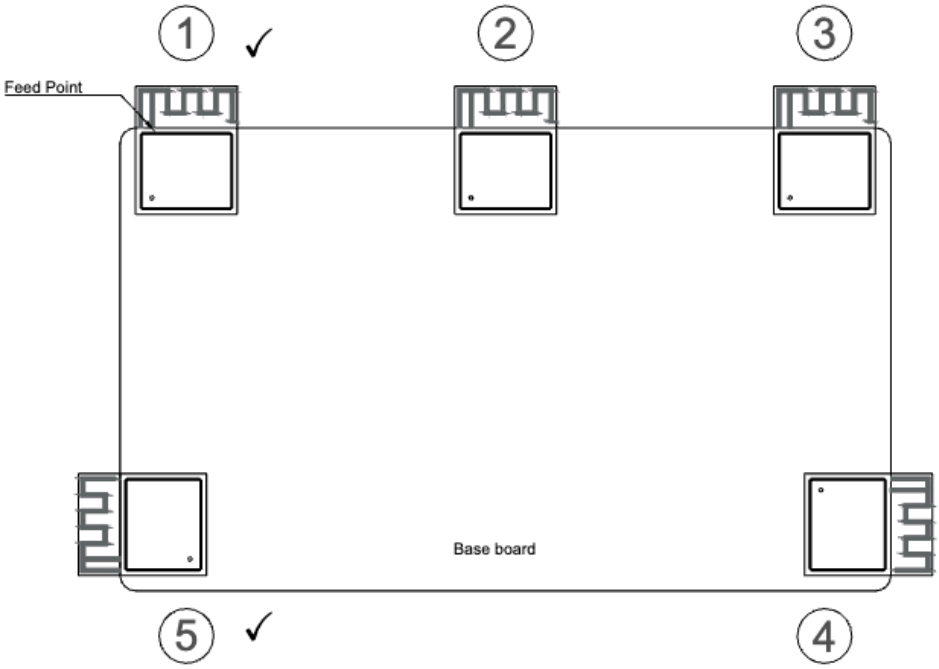

图 21: ESP32-C61 系列模组 (天线馈点在左侧) 在底板上的位置示意图

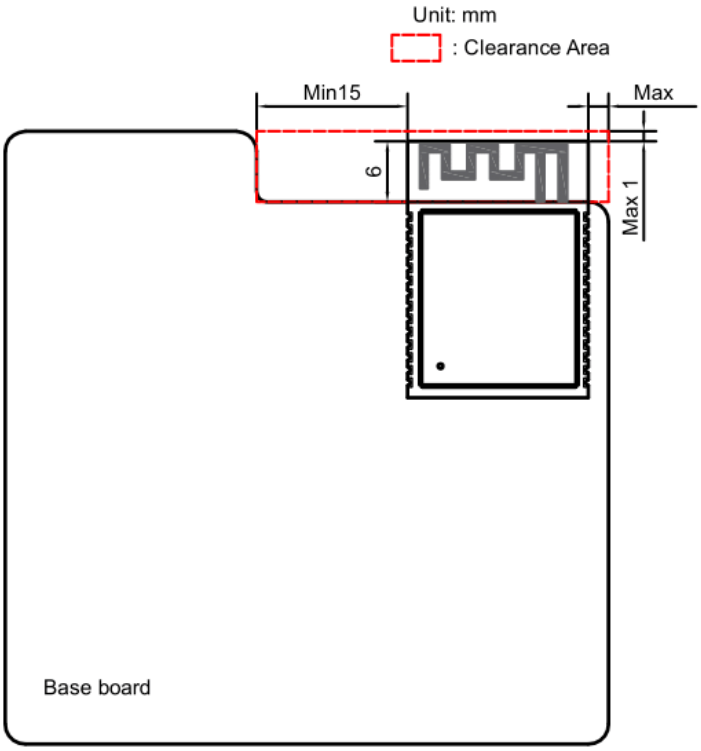

图 22: ESP32-C61 天线区域净空示意图

1.4.8 USB

USB 版图设计应遵循以下规范：

- USB 线上预留的电阻和电容请靠近芯片侧放置。
- USB 走线请按照差分走线，差分线阻抗控制标准是 90 Ω，误差不能大于 ±10%，保持平行等长。
- USB 差分走线尽可能减少打孔换层，从而可以更好的做到阻抗的控制，避免信号的反射。如果必须打孔，请在每次打孔换层的地方加一对地孔回流。
- USB 走线下方一定要有参考层（推荐用地层），且一定要保证参考层的连续性。
- USB 走线两侧请注意包地处理。

1.4.9 SDIO

SDIO 版图设计应遵循以下规范：

- SDIO 走线因为速率较高，需要尽量控制其寄生电容。
- SDIO_CMD、SDIO_DATA0 ~ SDIO_DATA3 走线长度以 SDIO_CLK 走线长度为基准 ± 50 mil，需要时绕蛇形线。
- SDIO 走线请保证 50 Ω 单端阻抗控制，误差不能大于 ±10%。
- 从芯片 SDIO 管脚到对端 SDIO 接口的总长度越短越好，最好在 2000 mil 以内。
- SDIO 走线要保证不跨平面。SDIO 走线下方一定要有要有参考层（推荐用地层），且一定要保证参考层的连续性。
- SDIO_CLK 走线两侧请注意包地处理。
- 对于层数较多的 PCB 设计，建议 SDIO 走线在芯片引出后立即通过过孔引入内层，以降低高速信号线的干扰。同时，请在打孔换层的地方加一对地孔回流。

1.4.10 版图设计常见问题

为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析：射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法：此问题主要是在布局上，可以重新布局，详见章节晶振。

为什么芯片发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析：仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法：射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析：芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法：请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节射频。

1.5 下载指导

ESP32-C61 系列芯片/模组支持通过 UART 和 USB 下载固件。

UART 下载的过程如下：

1. 烧录前，需要根据表芯片启动模式控制 设置芯片/模组在 Joint Download Boot 模式。
2. 给芯片/模组上电，通过 UART0 串口查看是否进入 Joint Download Boot 模式。如果串口显示 "waiting for download"，则表示已进入 Joint Download Boot 模式。
3. 通过 Flash 下载工具，选择 UART 方式将程序固件烧录进 flash 中。
4. 烧录结束后，GPIO9 可以悬空或者上拉切换至高电平，进入 SPI Boot 启动模式下工作。
5. 重新上电，芯片/模组初始化时会从 flash 中读取程序运行。

USB 下载的过程如下：

1. 如果 flash 中没有能正常运行的程序固件，烧录前，需要根据表芯片启动模式控制 设置芯片/模组在 Joint Download Boot 模式。
2. 给芯片/模组上电，通过 USB 接口查看是否进入 Joint Download Boot 模式。如果显示 "waiting for download"，则表示已进入 Joint Download Boot 模式。
3. 通过 Flash 下载工具，选择 USB 方式将程序固件烧录进 flash 中。
4. 烧录结束后，GPIO9 可以悬空或者上拉切换至高电平，进入 SPI Boot 启动模式下工作。
5. 重新上电，芯片/模组初始化时会从 flash 中读取程序运行。
6. 如果 flash 中有能正常运行的程序固件，可以直接从步骤 3 开始 USB 自动下载。

备注：

- 建议看到 "waiting for download" 的信息后再进行下载。
- 串口打印工具和烧录工具不能同时占用一个串口端口。
- 应用程序中如果出现以下情况，USB 自动下载功能将被禁用，必须通过配置 strapping 管脚进入 Joint Download Boot 启动模式，才能使用 USB 下载功能。
  - USB PHY 被应用程序关闭。
  - USB 被二次开发用于其他 USB 功能，例如 USB 主机、USB 标准设备。
  - USB 对应的 IO 管脚被用于其他外设功能，例如 UART、LEDC 等。
- 建议用户保留对 strapping 管脚的控制，避免在出现以上情况时，USB 下载功能无法使用。

1.6 相关文档和资源

1.6.1 ESP32-C61 系列模组

请至乐鑫官网的 模组页面 查看 ESP32-C61 系列模组的最新详细信息。

ESP32-C61 系列模组的参考设计请参考：

- 下载链接

备注： 请使用以下工具打开模组参考设计里的文件：

- .DSN 文件：OrCAD Capture V16.6
- .pcb 文件：Pads Layout VX.2。如果无法打开.pcb 文件，请尝试用其他软件导入.asc 文件查看 PCB 版图。

1.6.2 ESP32-C61 系列开发板

请至乐鑫官网的 开发板页面 查看 ESP32-C61 系列开发板的最新详细信息。

1.6.3 其他文档和资源

- 芯片规格书 (PDF)
- 技术参考手册 (PDF)
- ESP32-C61 系列芯片
- 乐鑫 KiCad 仓库
- 乐鑫产品选型工具
- 产品证书
- 论坛（硬件问题讨论）
- 技术支持
- 常见问题 (ESP-FAQ)

1.7 词汇列表

词汇列表包含了本文档中使用的术语和缩写词。

词汇	描述
CLC	电容-电感-电容
DDR SDRAM	双倍速率同步动态随机存储器
ESD	静电释放
LC	电感-电容
PA	功率放大器
RC	电阻-电容
RTC	实时控制器
SiP	系统封装
0 Ω 电阻	常用作电路设计中的占位符，后续可根据具体设计替换为其他大小的电阻。

1.8 修订历史

表 9: 修订历史

日期	版本	发布说明
2025-08-19	v1.0	首次发布《ESP32-C61 硬件设计指南》HTML 版本。

1.9 免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。